



DESENVOLVIMENTO DE UM DISPOSITIVO PORTÁTIL DE ELETROCARDIOGRAMA

Dissertação apresentada à Faculdade de Ciências e Tecnologia da Universidade de Coimbra para cumprimento dos requisitos necessários à obtenção do grau de mestre em Engenharia Biomédica.

Mestrado Integrado em Engenharia Biomédica

David Alexandre Bento Rodrigues

2008108964

Supervisor na FCTUC: Prof. Dr. Custódio Loureiro

Supervisores na Exatronic: Eng.^a Mariana Costa, Eng.^o César Rodrigues

Coimbra, Junho 2013

Agradecimentos

Provavelmente a parte de mais difícil escrita neste documento e para a qual não há suporte bibliográfico que sirva de apoio. A chegada a este ponto da minha carreira académica, que coincide com o *terminus* do grau de Mestrado, reúne um esforço que vai muito para lá dos meus, agora, 17 anos de trabalho enquanto estudante. Pretendo, aqui, deixar a minha palavra de apreço àqueles cujo esforço e apoio não se encontram diretamente legíveis nas páginas desta dissertação.

Começo por agradecer à coordenação do Mestrado Integrado em Engenharia Biomédica e mais especificamente ao Professor Miguel Morgado pelo trabalho incansável e dedicado que tem feito em prol da formação de todos estes estudantes. O reconhecimento das competências técnicas e da capacidade de adaptação destes alunos por entidades externas é a prova de que se está a trabalhar na direção certa.

Ao Professor Custódio Loureiro, coordenador empenhado do projeto, deixo o meu sincero obrigado por todo o suporte durante esta etapa. As trocas de opiniões, sugestões e palavras motivadoras, regulares ao longo de todo o ano letivo, tiveram uma participação determinante no alcançar dos objetivos. É reconfortante saber que seria difícil poder contar com uma orientação mais interessada e com maior qualidade técnica.

Devo um forte agradecimento à Exatronic, empresa que me acolheu ao longo de todo este projeto, pela oportunidade de integração, aprendizagens e conhecimentos que me proporcionou. O ambiente convidativo e a estrutura bem preparada para estas parcerias universitárias são os alicerces para o sucesso que estes projetos têm vindo a conseguir. Aqui, não posso deixar de fazer algumas individualizações que, sem descuidar a restante equipa, foram e/ou tiveram um papel crucial durante o meu estágio curricular. Aos já prévios amigos, e agora engenheiros, André Santos e Carlos Pereira, fica o meu obrigado pela ajuda na integração na Exatronic e pela companhia que me proporcionaram ao longo do ano. Transpondo para a equipa orientadora, agradeço à Eng^a Mariana Neto o apoio afincado e o trabalho incessante que teve enquanto supervisora que, a somar aos já experientes conselhos, foram um sempre importante auxílio. Ao Eng^o César Rodrigues, responsável pela orientação técnica, agradeço a dedicação e as soluções à medida das várias dificuldades que foram surgindo. A abordagem aos problemas e as metodologias utilizadas foram, e continuarão a ser, valiosas lições. Devo ainda um grande obrigado ao Eng^o Manuel Loureiro pelo acompanhamento diário, pelas sugestões experientes e pelo interesse que sempre demonstrou pelo trabalho desenvolvido. *At last but not the least*, tenho de fazer referência ao Eng^o Mário Luzeiro, supervisor durante a primeira metade do projeto. Apesar de ter seguido um percurso profissional que o afastou das obrigações da coordenação deste projeto, mostrou sempre um interesse apurado e esteve sempre disponível para ajudar e contribuir com opiniões assertivas e sinceras. Um exemplo de um supervisor que rapidamente se torna um amigo, que teve uma igual preponderância na execução de todo o projeto e com o qual evolui tecnicamente.

Deixo a minha gratidão ainda à Inês Marinho e à Joana Gante, por terem sido parte integrante desta estadia na Exatronic. Mais do que os bons momentos passados, as ajudas nas descompressões ao final de um dia trabalho foram fundamentais aquando

do surgimento de um ou outro desânimo. Esta tarefa teria sido bastante mais complicada se não pudesse contar com o vosso apoio e companhia.

Agradeço a todos os meus colegas e a todos aqueles que intervíram com maior ou menor fervor na minha campanha académica em Coimbra, ajudando a contribuir para o meu crescimento académico, profissional e, essencialmente, pessoal. Aqui, uma palavra de apreço aos colegas de curso de Engenharia Biomédica, pelo companheirismo e auxílio constante, e aos colegas da jeKnowledge, por todos os brilhantes projetos, pelo *know-how* e pela cultura que se continua a difundir. Devo ainda uma palavra aos amigos que me acompanharam ao longo da minha aventura europeia em Torino, Itália. Mais do que a possibilidade de estudar numa reconhecida faculdade de engenharia, ficaram as viagens e descobertas culturais. Não podia, obviamente, fechar este capítulo sem deixar o meu especial agradecimento ao Pedro Pereira, ao José Miguel Pina, ao João Lima, à Margarida Martins e à Sara Barbosa, por transparecerem tudo aquilo que se precisa num verdadeiro amigo.

A outros, meus bons amigos de vida e presenças assíduas a cada fim-de-semana, Tiago Pereira, Carlos Sousa, Fábio Loureiro e Ricardo Varanda, um tremendo obrigado. Aqui há pouco que se possa dizer, por serem demasiados anos, demasiadas partilhas e demasiadas vivências. Os nomes da Mafalda Merino, Vanessa Augusto e Ana Lúcia Ferreira têm também de ficar escritos, pela importância que têm para mim. É revigorante saber que, independentemente dos rumos que se seguirem, todas estas amizades vão estar sempre lá.

Uma parte especial destes agradecimentos é dedicada à Lígia. Dizer que conseguiu tornar-se confidente de alguém que gosta de guardar os seus problemas para si, conselheira de alguém que preza demasiado a sua opinião, ao mesmo tempo que me conseguiu proporcionar momentos de genuína felicidade, representa muito pouco da sua importância. Por tudo o que continua a fazer, e pelo amor que tem dedicado, um sincero obrigado.

Por fim. Por mais palavras que utilize para descrever a gratidão para com os meus familiares, nunca conseguirei retratar tudo aquilo que sempre fizeram por mim. Foram todos invariavelmente importantes para conseguir atingir este patamar da minha vida académica.

Estarei para sempre grato ao meu pai e mãe, pelo esforço incansável e trabalho diário que me permitiram concluir estes cinco anos de ensino superior, pelo apoio incomensurável e pela confiança que sempre revelaram em mim. Esta vitória também é vossa! À minha irmã agradeço igualmente todo o apoio e boa disposição com que sempre me presenteou. São estas pequenas coisas, invisíveis à vista, que fazem a diferença. Depois vem o meu tio António, um verdadeiro segundo pai e uma referência. Os conselhos sábios, os incentivos animadores e todas as longas corridas continuam a ter particular importância diariamente. Não posso esquecer o meu tio Esmeraldo, a minha tia Albertina e a minha querida avô Esmeralda por todos os ensinamentos e gestos caridosos que sempre tiveram comigo. Uma palavra especial para o Filipe, meu primo, e que foi sempre uma referência pela exemplaridade do seu percurso e dedicação. Desde cantorias madrugadoras, aconselhamentos astutos ou meias maratonas partilhadas, é o exemplo de que não há distância que enfraqueça uma verdadeira amizade. Obrigado!

Abstract

Cardiovascular diseases are still leading the ranking of death causes worldwide. This fact, in association with what looks like a chronic increase in the elderly population and limited health infrastructures capable of answering their needs, make the Ambient Assisted Living (AAL) an increasingly valid solution. The use of portable solutions that allow constant monitoring and faster diagnosis are at the origin of this project, with the main objective of developing a portable electrocardiogram (ECG).

This thesis deals with the entire development of this medical device. It includes the design of schematics and of a Printed Circuit Board (PCB) that includes the electrical components selected to incorporate the device disposed within a studied configuration. In this project, an integrated circuit from Texas Instruments was used, the ADS1192, which has already the analog to digital converters (ADCs) for two differential inputs designed to carry the ECG analog signals collected through four electrodes. The developed circuit was programmed using a development board containing a microcontroller (MCU), the ATmega 128, where the entire firmware was designed to enable the correct operation of ADS1192.

During hardware development, several factors were studied, such as the dimensions of the device, the power consumption of all components of the integrated circuit and the minimum number of analog filters needed in the system, as we had the aim of replacing analog filters by digital filters at the signal processing level. Several tests were made to the system that enabled the collection and analysis of the ECG signals from the two channels with the use of an ECG signal simulator, and an interface developed in C# for building a real-time graphic of the acquired signal. Finally, storage formats for ECG data were discussed and, after the addition of a flash memory to the system, a conversion of the ECG data collected from the ADS1192 to the Standard Communications Protocol for Computer Assisted Electrocardiography (SCP-ECG) standard format was achieved.

Keywords: Electrocardiogram (ECG), Medical Devices, Ambient Assisted Living (AAL), ADS1192, Printed Circuit Board (PCB), ATmega 128, Hardware, Altium Designer®, Firmware, C Language, Signal Aquisition, Serial Peripheral Interface (SPI), ECG Storage Formats, C# Language, Standard Communications Protocol for Computer Assisted Electrocardiography (SCP-ECG).

Resumo

As doenças cardiovasculares continuam a liderar o *ranking* mundial de causas de morte. Este factor, associado àquilo que parece ser um aumento contínuo da população idosa e às limitações de infraestruturas de saúde capazes de dar resposta às suas necessidades, fazem do *Ambient Assisted Living* (AAL) uma solução cada vez mais válida. O recurso a soluções portáteis que permitem uma monitorização e diagnóstico mais rápido de diversos índices orgânicos, está na origem deste projeto, que tem como objetivo central a realização do *hardware* e *firmware* para um dispositivo portátil de eletrocardiograma (ECG).

Esta tese detalha o desenvolvimento de um ECG portátil. O trabalho realizado incluiu a elaboração de esquemáticos e de uma *Printed Circuit Board* (PCB) integrando todos os componentes estudados e selecionados para incorporar o dispositivo. Recorreu-se, no projeto, a um circuito integrado da *Texas Instruments*, o ADS1192, que possui os conversores analógico-digitais (ADC) para as duas entradas diferenciais desenhadas que transportam o sinal analógico recolhido através de quatro elétrodos que compõem o sistema. A programação do circuito desenvolvido foi conseguida através da utilização de uma placa de desenvolvimento que contém um microcontrolador (MCU), o *ATmega 128*, para o qual foi desenvolvido todo o *firmware* que permite o correto funcionamento do ADS1192.

Para o desenvolvimento do *hardware* estudaram-se fatores como: as dimensões finais do dispositivo; o consumo elétrico de todos os componentes a integrar o circuito; o recurso mínimo a filtros analógicos em detrimento de filtros digitais para o processamento de sinal. Foram elaborados testes ao sistema desenvolvido que possibilitaram a recolha e a análise do sinal de ECG proveniente dos dois canais, com o recurso a um simulador de sinais de eletrocardiograma, e foi desenvolvida uma interface em C# para construir um gráfico em tempo real do sinal recolhido. Por fim, são ainda discutidos formatos de armazenamento de dados de ECG, realizando-se, inclusive, uma conversão para o formato *Standard Communications Protocol for Computer Assisted Electrocardiography* (SCP-ECG) depois de se ter adicionado uma memória *flash* ao sistema.

Palavras-Chave: Eletrocardiograma (ECG), Dispositivos Médicos, Ambient Assisted Living (AAL), ADS1192, *Printed Circuit Board* (PCB), *ATmega 128*, *Hardware*, *Altium Designer*[®], *Firmware*, Linguagem C, Aquisição de Sinal, *Serial Peripheral Interface* (SPI), Formatos de armazenamento de ECG, Linguagem C#, *Standard Communications Protocol for Computer Assisted Electrocardiography* (SCP-ECG).

Índice de Conteúdos

AGRADECIMENTOS	III
ABSTRACT	V
RESUMO	VI
ÍNDICE DE CONTEÚDOS	VII
LISTA DE FIGURAS	X
LISTA DE TABELAS	XIV
ACRÓNIMOS	XV
1. INTRODUÇÃO	1
1.1. ÂMBITO	2
1.2. ENQUADRAMENTO.....	2
1.2.1. Mudanças Demográficas	2
1.2.2. Doenças Cardiovasculares	4
1.2.3. Eletrocardiograma	4
1.3. OBJETIVOS DO PROJETO	5
1.4. ORGANIZAÇÃO DO DOCUMENTO	6
1.5. EXATRONIC	7
1.6. PLANEAMENTO DO PROJETO	8
2. ELETROCARDIOGRAMA E O ESTADO DA ARTE DOS DISPOSITIVOS MÉDICOS PORTÁTEIS	13
2.1. PROCESSOS FISIOLÓGICOS.....	13
2.1.1. O Processo Celular.....	14
2.1.2. Complexo QRS	15
2.1.3. Princípios Físicos da Eletrocardiografia	16
2.1.4. Triângulo de Einthoven.....	17
2.2. CARATERÍSTICAS ELÉTRICAS DE UM SINAL DE ELETROCARDIOGRAMA	19
2.3. ELÉTODOS.....	21
2.3.1. Eléttodos para Monitorização Contínua	21
2.3.2. Posicionamento dos Eléttodos	22
2.4. ESTADO DE ARTE	22
2.5. DISPOSITIVO PORTÁTIL DE ECG	23
2.6. SEGURANÇA ELÉTRICA	24
2.6.1. Normas de Segurança	25
2.6.1.1. IEC 60601-1 – General Requirements for Basic Safety and Essential Performance.....	25
2.6.1.2. Classificação dos Equipamentos	26
3. SISTEMA DE AQUISIÇÃO	29
3.1. ANALOG FRONT ENDS (AFEs).....	30
3.1.1. Soluções Discretas.....	30
3.1.2. Amplificador Operacional	31
3.1.3. Amplificador de Instrumentação	31
3.1.4. Filtros Analógicos.....	33
3.1.4.1. Filtros Ativos vs. Filtros Passivos	34
3.1.4.2. Utilização de Amplificadores Operacionais em Filtros Analógicos – Resposta de um filtro ideal vs. Resposta de um filtro real	34
3.1.4.3. Filtros Passa-Baixo de Primeira Ordem.....	35
3.1.4.4. Filtros Passa-Alto de Primeira Ordem	36

3.1.4.5. Filtros Passa-Banda	37
3.1.4.6. Filtros Notch (50/60 Hz).....	38
3.1.5. Conversor Analógico-Digital	38
3.1.5.1. ADC de menor resolução (≤ 16 bits) vs. ADC de maior resolução (24 bits) .	38
3.1.5.2. Amostragem Sequencial vs. Amostragem Simultânea	40
3.2. SOLUÇÕES INTEGRADAS - INTEGRATED ANALOG FRONT ENDS	41
3.2.1. ADS1192, Texas Instruments.....	42
3.2.1.1. Caraterísticas.....	42
3.2.1.2. Filtragem no Circuito Integrado ADS1192.....	44
3.2.1.3. Tensão de Referência	45
3.2.1.4. Alimentação de Energia.....	46
3.2.2. Demoboard ADS1292R, Texas Instruments	46
3.2.3. Utilização do ADS1192	48
3.3. CONFIGURAÇÕES.....	48
3.3.1. Proteção de Alta Tensão e Isolamento Elétrico	48
3.4. RIGHT LEG DRIVE	50
3.5. REMOÇÃO DA BASELINE DRIFT.....	52
4. HARDWARE	55
4.1. COMPOSIÇÃO DO SISTEMA	55
4.2. PRINTED CIRCUIT BOARD (PCB).....	56
4.2.1. Arquitetura do Sistema	56
4.2.2. Altium Designer®.....	57
4.2.3. Entradas Diferenciais	57
4.2.4. Right Leg Drive	59
4.2.5. ADS1192	59
4.2.6. ATmega 128 Development Board	61
4.2.7. Alimentação de Energia (V_{CC} , Power Supply Pin)	62
5. FIRMWARE	67
5.1. ESTRUTURA DA ATMEGA128 DEVELOPMENT BOARD	67
5.2. SPI (SERIAL PERIPHERAL INTERFACE).....	69
5.3. ESCRITA E LEITURA DE REGISTOS	71
5.4. PACOTES DE DADOS E DATA READY (DRDY)	80
5.5. REGISTOS DE LEITURA CONTÍNUA NO ADS1192.....	81
6. TESTES DO SISTEMA	85
6.1. GERADOR DE SINAIS, FLUKE BIOMEDICAL	86
6.2. TESTES AO SISTEMA	87
6.3. UTILIZAÇÃO DE UMA ALIMENTAÇÃO EXTERNA NO CIRCUITO.....	93
6.4. INTERFACE GRÁFICA DE TESTES DESENVOLVIDA EM C#	97
6.5. CONSUMOS ELÉTRICOS DO SISTEMA DESENVOLVIDO	98
6.6. DIMENSÕES DA PCB	100
7. ARMAZENAMENTO DE DADOS	105
7.1. GRAVAÇÃO DOS DADOS RECOLHIDOS	105
7.1.1. AT25DF041A, 4 Megabits.....	106
7.1.2. Funcionamento da AT25DF041A	108
7.1.3. Tamanho da AT25DF041A	109
7.2. FORMATOS DE ARMAZENAMENTO DE DADOS DE ECG EXISTENTES	110
7.3. STANDARD COMMUNICATIONS PROTOCOL FOR COMPUTER ASSISTED ELECTROCARDIOGRAPHY (SCP-ECG)	111
7.4. DIGITAL IMAGING AND COMMUNITATIONS IN MEDICINE – ECG (DICOM-ECG)	114
7.5. HL7 AECG.....	115
7.6. RESULTADOS PRÁTICOS.....	117

7.6.1.	Armazenamento de Dados na Memória	117
7.6.2.	Conversão dos Dados para o Formato SCP-ECG	120
7.6.3.	Visualizar Graficamente os Dados Recolhidos e Armazenados no Formato SCP-ECG	121
8.	CONCLUSÕES E CONSIDERAÇÕES FUTURAS.....	125
8.1.	CONCLUSÃO	125
8.2.	CONSIDERAÇÕES FUTURAS	128
BIBLIOGRAFIA		133
ANEXO I	ERROR! BOOKMARK NOT DEFINED.	
ANEXO II	ERROR! BOOKMARK NOT DEFINED.	
ANEXO III	ERROR! BOOKMARK NOT DEFINED.	
ANEXO IV	ERROR! BOOKMARK NOT DEFINED.	

Lista de Figuras

FIGURA 1 ESPERANÇA MÉDIA DE VIDA À NASCENÇA, POR REGIÃO DO GLOBO E SEXO. (5).....	3
FIGURA 2 ÍNDICE DE ENVELHECIMENTO EM PORTUGAL, EM 2008. (6).....	3
FIGURA 3 ÍNDICE DE MORTALIDADE EUROPEIA POR CADA 100 000 INDIVÍDUOS, EM FUNÇÃO DAS DOENÇAS CARDIOVASCULARES. (8)	4
FIGURA 4 SINAL NORMAL DE UM ELETROCARDIOGRAMA.	5
FIGURA 5 ETAPAS A DESENVOLVER AO LONGO DO PROJETO.	6
FIGURA 6 DIAGRAMA DE <i>GANTT</i> INICIAL DO PROJETO.	8
FIGURA 7 LAYOUT DA FERRAMENTA REDMINE UTILIZADA.	9
FIGURA 8 DIAGRAMA DE <i>GANTT</i> FINAL DO PROJETO.	10
FIGURA 9 ANATOMIA DO CORAÇÃO. (12)	13
FIGURA 10 POTENCIAL DE AÇÃO NORMAL RESULTANTE DE UMA CÉLULA VENTRICULAR MIOCÁRDICA. (14).....	14
FIGURA 11 ONDA DE UM ELETROCARDIOGRAMA NORMAL. PODEM VER-SE AS VÁRIAS ONDAS QUE INTEGRAM UM ECG E O COMPLEXO QRS. (14)	15
FIGURA 12 CAMPO ELÉTRICO DO DÍPOLO NUMA CÉLULA MIOCÁRDICA NUMA FRENTE DE DESPOLARIZAÇÃO, ONDE V_M É O POTENCIAL TRANSMEMBRANAR. (14)	16
FIGURA 13 TRAJETÓRIA DE UM VETOR CARDÍACO NORMAL. (17)	17
FIGURA 14 O TRIÂNGULO DE EINTHOVEN. (18)	18
FIGURA 15 O VETOR CARDÍACO E A GEOMETRIA DAS DERIVAÇÕES I, II E III. (17).....	19
FIGURA 16 CARATERÍSTICAS DE UM SINAL DE ECG. (20).....	20
FIGURA 17 CORRETO POSICIONAMENTO DOS ELÉTODOS NUM ECG. (24)	22
FIGURA 18 - ESQUEMA DA <i>ANALOG DEVICES</i> SOBRE O ESTADO DA ARTE NAS CONFIGURAÇÕES ELETRÓNICAS DE ECG. É PERCETÍVEL A TENDÊNCIA PARA O RECURSO A UMA MAIOR FILTRAGEM DIGITAL, EM DETRIMENTO DA FILTRAGEM ANALÓGICA. (26)	23
FIGURA 19 TIPOS DE ELÉTODOS WEARABLE DE ELETROCARDIOGRAMA. (28)	24
FIGURA 20 PROCESSO DE OBTENÇÃO DA NORMA IEC 60601-1. (31).....	26
FIGURA 21 CONFIGURAÇÃO ANALÓGICA PARA O PROCESSAMENTO DE SINAL (ESQUERDA) VS. PROCESSAMENTO DE SINAL FEITO POR VIA DIGITAL. (32).....	29
FIGURA 22 <i>ANALOG FRONT END</i> TÍPICO DE UM ECG. (20)	30
FIGURA 23 ESQUEMA DO AMPLIFICADOR DE INSTRUMENTAÇÃO.....	32
FIGURA 24 EXEMPLO DA RESPOSTA DE UM FILTRO PASSA-BAIXO IDEAL (À ESQUERDA) E RESPOSTA DE UM FILTRO PASSA-BAIXO REAL (À DIREITA). (44)	34
FIGURA 25 EXEMPLO DA RESPOSTA EM AMPLITUDE DE UM FILTRO PASSA-BAIXO (BUTTERWORTH) EM FUNÇÃO DOS ANDARES DO FILTRO. (44)	35
FIGURA 26 FILTRO ATIVO PASSA-BAIXO.	35
FIGURA 27 FILTRO PASSA-ALTO DE PRIMEIRA ORDEM.....	36
FIGURA 28 EXEMPLO DE UM FILTRO ATIVO PASSA-BANDA.	37
FIGURA 29 ESQUEMA DE UM FILTRO <i>NOTCH</i>	38
FIGURA 30 SINAL COM UM ADC DE MENOR RESOLUÇÃO. (20)	39
FIGURA 31 SINAL COM UM ADC DE MAIOR RESOLUÇÃO. (20).....	39
FIGURA 32 SISTEMA DE AQUISIÇÃO DE ECG COM AMOSTRAGEM SIMULTÂNEA. DE REPARAR NA EXISTÊNCIA DE VÁRIOS ADCS DE ALTA RESOLUÇÃO MAS DE BAIXA VELOCIDADE (10 KSPS). (20)	40
FIGURA 33 SISTEMA DE AQUISIÇÃO DE ECG COM AMOSTRAGEM SEQUENCIAL. AQUI SÓ SE UTILIZA UM ADC DE ELEVADA RESOLUÇÃO, MAS COM ALTA VELOCIDADE (100 KSPS). (20).....	41
FIGURA 34 DIAGRAMA DE BLOCOS DO CIRCUITO INTEGRADO ADS1192 DA <i>TEXAS INSTRUMENTS</i> . (48)	42
FIGURA 35 CONFIGURAÇÃO DOS PINOS DO CHIP ADS1192. (48)	43
FIGURA 36 FILTRAGEM APÓS OS AMPLIFICADORES DE GANHO PROGRAMÁVEL. (48).....	44
FIGURA 37 PERFORMANCE DA THD EM FUNÇÃO DO C_{FILTER} . (48)	45
FIGURA 38 TENSÃO DE REFERÊNCIA INTERNA PROPOSTA PARA O CIRCUITO INTEGRADO ADS1192. PARA $V_{Ref} = 2.42 V$, $R_1 = 100 k\Omega$, $R_2 = 200 k\Omega$ E $R_3 = 200 k\Omega$ E PARA $V_{Ref} = 4.033 V$, $R_1 = 84 k\Omega$, $R_2 =$ $120 k\Omega$ E $R_3 = 280 k\Omega$ (48)	45
FIGURA 39 CONEXÃO DO DISPOSITIVO PARA ALIMENTAÇÃO UNIPOLARES (3V / 1.8V). (48)	46

FIGURA 40 ADS 1292R <i>DEMONSTRATION KIT</i> . (51).....	47
FIGURA 41 SOFTWARE DA DEMOBOARD ADS1292R. (51)	47
FIGURA 42 PRINCIPAIS LIGAÇÕES AO PACIENTE NUM ECG. (53).....	49
FIGURA 43 – CIRCUITO DE PROTEÇÃO DO SISTEMA. NESTE CASO, A RESISTÊNCIA R LIMITA A CORRENTE, OS DÍODOS D LIMITAM A TENSÃO DE ENTRADA E A <i>SPARK GAP</i> S PROTEGE CONTRA A DESFIBRILAÇÃO DO TRANSFORMADOR DE ISOLAMENTO T. (54).....	49
FIGURA 44 ISOLAMENTO ELÉTRICO. PODE SER CONSEGUÍDO ATRAVÉS DA ACOPLAÇÃO DE UM TRANSFORMADOR (NOTE-SE A SEPARAÇÃO FEITA PELO TRANSFORMADOR ENTRE O CIRCUITO DO LADO DO AMPLIFICADOR E A LIGAÇÃO À TERRA) OU UTILIZANDO UM DÍODO D E UM FOTODETETOR P. (54).....	50
FIGURA 45 NO LADO ESQUERDO É VISÍVEL A INTERFERÊNCIA ELÉTRICA INDUZIDA PELA DESLOCAÇÃO DA CORRENTE I_D A PARTIR DA REDE DE ALIMENTAÇÃO ELÉTRICA, ORIGINANDO UMA TENSÃO DE MODO COMUM V_C PELO SEU FLUXO ATÉ À LIGAÇÃO À TERRA. POR SUA VEZ, DO LADO DIREITO, ESTÁ ESQUEMATIZADO O CIRCUITO DE <i>RIGHT LEG DRIVE</i> COM FEEDBACK NEGATIVO E QUE PERMITE MINIMIZAR A TENSÃO DE MODO COMUM. (54)	51
FIGURA 46 DIAGRAMA DE BLOCOS DE UM ECG. (10)	55
FIGURA 47 DIAGRAMA DE BLOCOS COM OS COMPONENTES PRINCIPAIS QUE INTEGRARÃO O SISTEMA.	56
FIGURA 48 CONFIGURAÇÃO DOS PINOS DO CHIP ADS1192. (48)	57
FIGURA 49 ENTRADAS DIFERENCIAIS PARA O IC ADS1192, DESENHADAS EM <i>ALTIUM DESIGNER</i> ®.	58
FIGURA 50 CONECTOR DB9 UTILIZADO NA ENTRADA DIFERENCIAL DO CIRCUITO.	58
FIGURA 51 ESQUEMÁTICO DO <i>RIGHT LEG DRIVE</i> PRESENTE NO CIRCUITO.	59
FIGURA 52 ESQUEMÁTICO DO ADS1192, DESENHADO COM RECURSO AO <i>ALTIUM DESIGNER</i> ®.	60
FIGURA 53 <i>ATMEGA 128 DEVELOPMENT BOARD</i> . (60).....	61
FIGURA 54 LIGAÇÕES ENTRE O ADS1192 E O <i>ATMEGA 128</i>	62
FIGURA 55 ESQUEMÁTICO DA ALIMENTAÇÃO DE ENERGIA DO CIRCUITO.	62
FIGURA 56 LIGAÇÕES ENTRE O CONECTOR PROVENIENTE DO IC ADS1192 E A <i>ATMEGA 128 DEVELOPMENT BOARD</i>	68
FIGURA 57 DIAGRAMA DE BLOCOS DO FIRMWARE QUE ESQUEMATIZA OS OBJETIVOS PRETENDIDOS.....	69
FIGURA 58 DIAGRAMA QUE DEMONSTRA O MODO DE FUNCIONAMENTO DA COMUNICAÇÃO SPI, EM FUNÇÃO DO TEMPO. (62)	70
FIGURA 59 LISTA DE COMANDOS DO ADS1192. (48).....	70
FIGURA 60 EXEMPLO DO COMANDO RREG, RESPONSÁVEL PELA LEITURA DE REGISTOS. (48)	71
FIGURA 61 EXEMPLO DO COMANDO WREG, RESPONSÁVEL PELA ESCRITA DE REGISTOS. (48)	72
FIGURA 62 MAPA DE REGISTOS DO ADS1192. (48).....	72
FIGURA 63 TENSÃO DO PINO <i>CS</i> NO ADS1192, MEDIDO COM O OSCILOSCÓPIO.	73
FIGURA 64 SINAL NO PINO <i>SCLK</i>	74
FIGURA 65 PINO <i>DIN</i> , A ENVIAR BLOCOS DE 6 BYTES VAZIOS (0x00).	75
FIGURA 66 PINO <i>DIN</i> , COM MENOR ESCALA TEMPORAL. NA IMAGEM É POSSÍVEL OBSERVAR O ENVIO DE 3 BLOCOS DE 6 BYTES ATRAVÉS DO <i>DIN</i>	75
FIGURA 67 ENVIO DE UM BLOCO DE DADOS (6 BYTES) ATRAVÉS DO PINO <i>DOUT</i> DO ADS1192. ESTA INFORMAÇÃO TERÁ DE SER RECEBIDA NO MCU E ENVIADA ATRAVÉS DO <i>USART</i> PARA O COMPUTADOR AUXILIAR.	76
FIGURA 68 PINO <i>DOUT</i> , COM MENOR ESCALA TEMPORAL. NA IMAGEM É POSSÍVEL OBSERVAR A RECEÇÃO DE 3 BLOCOS DE 6 BYTES ATRAVÉS DO <i>DOUT</i>	77
FIGURA 69 LEITURA DOS REGISTOS INICIAIS DO ADS1192.	78
FIGURA 70 GRÁFICO DO SINAL RECOLHIDO QUANDO ACIONADO O SINAL DE TESTE DO ADS1192.....	79
FIGURA 71 DADOS NA SAÍDA (<i>DOUT</i>) DO ADS1192. (48).....	80
FIGURA 72 SINAL DO PINO <i>DRDY</i> , CALCULADO COM O AUXÍLIO DO OSCILOSCÓPIO.	81
FIGURA 73 REGISTOS CONFIGURADOS PARA O MODO DE LEITURA CONTÍNUA DO ADS1192.....	82
FIGURA 74 SISTEMA DESENVOLVIDO, ONDE SE APRESENTAM A PCB DESENVOLVIDA COM O ADS1192 E A <i>ATMEGA 128 DEVELOPMENT BOARD</i> , LIGADOS POR UM <i>FLAT CABLE</i>	85
FIGURA 75 SISTEMA DESENVOLVIDO, JÁ COM A LIGAÇÃO PARA A PORTA SÉRIE.	86
FIGURA 76 LIGAÇÃO DOS ELÉTODOS AO ESA 620.....	87
FIGURA 77 ESA 620 A FORNECER UMA ONDA QUADRANGULAR.	87
FIGURA 78 LAYOUT DO PROGRAMA <i>MATLAB</i> ® UTILIZADO INICIALMENTE PARA FAZER O GRÁFICO DOS DADOS RECOLHIDOS NA PORTA SÉRIE.	88

FIGURA 79	ONDA QUADRANGULAR DO CANAL 1 (DERIVAÇÃO 1) DO ECG DESENVOLVIDO RECOLHIDO NA PORTA SÉRIE, PROVENIENTE DO GERADOR DE SINAL ESA 620. A FREQUÊNCIA DEFINIDA FOI DE 0.125 Hz.	89
FIGURA 80	ONDA QUADRANGULAR DO CANAL 2 (DERIVAÇÃO 3) DO ECG DESENVOLVIDO RECOLHIDO NA PORTA SÉRIE, PROVENIENTE DO GERADOR DE SINAL ESA 620. A FREQUÊNCIA DEFINIDA FOI DE 0.125 Hz.	89
FIGURA 81	SINAL GERADO PELO ESA 620 COM FORMATO TRIÂNGULAR.	90
FIGURA 82	SINAL RECOLHIDO NA PORTA SÉRIE PROVENIENTE DO CANAL 1 DO ECG. O SINAL FOI PRODUZIDO COM RECURSO AO ESA 620 CONFIGURADO COMO SE APRESENTA NA FIGURA 81.	90
FIGURA 83	SINAL RECOLHIDO NA PORTA SÉRIE PROVENIENTE DO CANAL 2 (DERIVAÇÃO 3) DO ECG. O SINAL FOI PRODUZIDO COM RECURSO AO ESA 620 CONFIGURADO COMO SE APRESENTA NA FIGURA 81.	91
FIGURA 84	EXEMPLO DO DISPLAY DO ESA 620 A GERAR UMA ONDA COMPLEXA DE ECG. VISUALIZA-SE A POSSIBILIDADE DE CONFIGURAR A FREQUÊNCIA DOS BATIMENTOS QUE, NAS FIGURAS MOSTRADAS A SEGUIR, SE CONFIGUROU PARA 60 E 30 BATIMENTOS POR MINUTO, RESPECTIVAMENTE.	91
FIGURA 85	RESULTADO GRÁFICO DO CANAL 1 (DERIVAÇÃO 1) OBTIDO NA PORTA SÉRIE, COM O ESA 620 CONFIGURADO PARA FORNECER UM SINAL DE ECG A UMA FREQUÊNCIA DE 60 BATIMENTOS/MINUTO.	92
FIGURA 86	RESULTADO GRÁFICO DO CANAL 2 (DERIVAÇÃO 3) OBTIDO NA PORTA SÉRIE, COM O ESA 620 CONFIGURADO PARA FORNECER UM SINAL DE ECG A UMA FREQUÊNCIA DE 30 BATIMENTOS/MINUTO.	92
FIGURA 87	FONTE DE ALIMENTAÇÃO EXTERNA UTILIZADA.	93
FIGURA 88	SINAL DO CANAL 1 (DERIVAÇÃO 1) GERADO A PARTIR DO ESA 620 COM UMA ONDA QUADRANGULAR, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	94
FIGURA 89	SINAL DO CANAL 2 (DERIVAÇÃO 3) GERADO A PARTIR DO ESA 620 COM UMA ONDA QUADRANGULAR, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	94
FIGURA 90	SINAL DO CANAL 1 (DERIVAÇÃO 1) GERADO A PARTIR DO ESA 620 COM UM SINAL TRIANGULAR, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	95
FIGURA 91	SINAL DO CANAL 2 (DERIVAÇÃO 3) GERADO A PARTIR DO ESA 620 COM UM SINAL TRIANGULAR, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	95
FIGURA 92	SINAL DO CANAL 1 (DERIVAÇÃO 1) GERADO A PARTIR DO ESA 620 COM UM SINAL COMPLEXO DE ECG, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	96
FIGURA 93	SINAL DO CANAL 2 (DERIVAÇÃO 3) GERADO A PARTIR DO ESA 620 COM UM SINAL COMPLEXO DE ECG, COM O CIRCUITO A SER ALIMENTADO COM UMA FONTE DE ALIMENTAÇÃO EXTERNA.	96
FIGURA 94	DISPLAY DA PRIMEIRA VERSÃO DA INTERFACE GRÁFICA DO PROGRAMA DE TESTES DESENVOLVIDA EM C#.	97
FIGURA 95	DISPLAY DA VERSÃO FINAL DA INTERFACE GRÁFICA DO PROGRAMA DE TESTES DESENVOLVIDA EM C#.	98
FIGURA 96	CIRCUITO ELETRÓNICO PARA A MEDIÇÃO DO CONSUMO ELÉTRICO DO SISTEMA.	98
FIGURA 97	CONSUMO ELÉTRICO MÉDIO DO SISTEMA DESENVOLVIDO (PCB & ATMEGA 128).	99
FIGURA 98	DISPOSITIVO HOLTER DA LABTECH (USA) (65).....	101
FIGURA 99	PROCEDIMENTO TÍPICO DA GRAVAÇÃO E DA UTILIZAÇÃO DE UM ELETROCARDIOGRAMA. (66)....	105
FIGURA 100	TOP VIEW DO AT25DF041A UTILIZADO. (68).....	106
FIGURA 101	VISUALIZAÇÃO 3D DA MEMÓRIA AT25DF41A.....	106
FIGURA 102	DIAGRAMA DA ARQUITETURA DA MEMÓRIA. (68)	107
FIGURA 103	MODO DE FUNCIONAMENTO DA MEMÓRIA. (68)	108
FIGURA 104	LISTA DOS COMANDOS DA MEMÓRIA. (68).....	109
FIGURA 105	EXEMPLO DE VISUALIZADOR DE DADOS DE ECG, NO FORMATO SCP-ECG. O SOFTWARE É O ECGVIEWER, PERTENCENTE À ECGSOFT. (77).....	113
FIGURA 106	EXCERTO DE UM FICHEIRO DE HL7 AECG ONDE SE MOSTRA O ELEMENTO INCREMENTAL QUE DEFINE O INTERVALO DE TEMPO ENTRE CADA AMOSTRA. NESTE CASO, VISUALIZA-SE O VALOR DE 0.002s DE DIFERENÇA ENTRE CADA AMOSTRA, O QUE INDICA UMA FREQUÊNCIA EQUIVALENTE DE 500 Hz.....	116
FIGURA 107	LIGAÇÕES DA MEMÓRIA AT25DF041A COM O MCU UTILIZADO.	117
FIGURA 108	LIGAÇÕES ENTRE O ADS1192 E O MCU, JÁ ANALISADAS NO CAPÍTULO IV.	118
FIGURA 109	EXCERTO DO CÓDIGO GERADO PARA TESTAR AS FUNÇÕES CRIADAS PARA A MEMÓRIA AT25DF041A.	118
FIGURA 110	LEITURA DO VALOR K ESCRITO E LIDO NA MEMÓRIA, ATRAVÉS DO TERMINAL DA PORTA COM DO COMPUTADOR AUXILIAR.	119
FIGURA 111	EXEMPLO DA INFORMAÇÃO GUARDADA NA MEMÓRIA AT25DF041A, CONVERTIDA EM ASCII PARA SER HUMANAMENTE LEGÍVEL.	120

FIGURA 112 VISUALIZAÇÃO EM ASCII (<i>AMERICAN STANDARD CODE FOR INFORMATION INTERCHANGE</i>), NUM DOCUMENTO DE TEXTO, DOS DADOS DE ECG RECOLHIDOS E CONVERTIDOS PARA O FORMATO SCP-ECG.	121
FIGURA 113 <i>VIEWER</i> DE ECG COM OS DADOS RECOLHIDOS ATRAVÉS DO DISPOSITIVO DE ECG REALIZADO NESTRE PROJETO. AQUI VISUALIZAM-SE OS DOIS CANAIS RECOLHIDOS (CANAL II E III) A UMA FREQUÊNCIA DE 60 BPM E 30 BPM, RESPECTIVAMENTE.	122
FIGURA 114 DISPOSIÇÃO DE UM ECG PORTÁTIL CORRENTE. REPARE-SE NO INCÓMODO E BAIXA FUNCIONALIDADE ASSOCIADA À COLOCAÇÃO DE DIVERSOS ELÉTRODOS E À EXISTÊNCIA DOS RESPETIVOS FIOS. (80)	129
FIGURA 115 ELÉTRODOS <i>WEARABLE</i> TEXTÉIS, TECNOLOGIA DA EMPRESA <i>NUUBO</i> , MADRID, ESPANHA. O SEU FUNCIONAMENTO ESTÁ ACOPLADO AO DISPOSITIVO DA FIGURA 116, DISPOSITIVO SEM FIOS QUE REGISTA A INFORMAÇÃO CAPTADA PELOS ELÉTRODOS E POSSIBILITA A SUA TRANSMISSÃO REMOTA, EM TEMPO REAL. (81).....	129
FIGURA 116 DIPOSITIVO DESENVOLVIDO IGUALMENTE PELA EMPRESA <i>NUUBO</i> E QUE FUNCIONA PARALELAMENTE COM OS ELÉTRODOS <i>WEREABLE</i> DA FIGURA 115. PERMITE ARMAZENAR OS DADOS ATRAVÉS DE UM CARTÃO SD E/OU O SEU ENVIO REMOTO EM TEMPO REAL. (81)	130
FIGURA 117 ESQUEMÁTICO QUE ENGLOBA O IC ADS1192 E A ALIMENTAÇÃO DE ENERGIA.	CONF
FIGURA 118 ESQUEMÁTICO QUE ENGLOBA O MCU ATMEGA 128 E A MEMÓRIA AT25DF041A.	CONF
FIGURA 119 ESQUEMÁTICO DAS ENTRADAS ANALÓGICAS PARA A UTILIZAÇÃO DE DOIS CANAIS. CONTÉM A CONFIGURAÇÃO PRESENTE NA PCB DESENVOLVIDA.....	CONF
FIGURA 120 ESQUEMÁTICO DAS ENTRADAS ANALÓGICAS E DO RIGHT LEG DRIVE, CONFIGURADO PARA A UTILIZAÇÃO DE TRÊS CANAIS DE ECG. OS COMPONENTES QUE DEVEM SER UTILIZADOS APENAS PARA ESSES MESMOS TRÊS CANAIS ENCONTRAM-SE COM A NOTA 'NÃO MONTAR', UMA VEZ QUE O PROPÓSITO DESTES PROJETO É DESENVOLVER UMA PLACA QUE PERMITA A UTILIZAÇÃO DE DOIS CANAIS.	CONF
FIGURA 121 PRIMEIRAS TENTATIVAS A DESENHAR PISTAS.	CONF
FIGURA 122 DESENHO FINAL DA PCB (<i>PRINTED CIRCUIT BOARD</i>) PARA 2 CANAIS, SEM A MEMÓRIA AINDA INCORPORADA. CONTÉM A CONFIGURAÇÃO E OS COMPONENTES DA PCB QUE FOI DESENVOLVIDA.....	CONF
FIGURA 123 PROTÓTIPO DA PCB FINAL EM TRÊS DIMENSÕES QUE ENGLOBA O ADS1192 E AS DUAS ENTRADAS DIFERENCIAIS (CORRESPONDENTES A DOIS CANAIS DE ECG). CONTÉM A CONFIGURAÇÃO E OS COMPONENTES DA PCB QUE FOI DESENVOLVIDA.	CONF
FIGURA 124 DESENHO DA PCB PARA A UTILIZAÇÃO DE TRÊS CANAIS. APRESENTA OS COMPONENTES E AS LIGAÇÕES NECESSÁRIAS PARA A RECOLHA DE DADOS DE TRÊS CANAIS DE ECG, COMO AMOSTRADO NO ESQUEMÁTICO DA FIGURA 102.	CONF
FIGURA 125 PROTÓTIPO DA PCB EM TRÊS DIMENSÕES QUE ENGLOBA O ADS1192 E AS TRÊS ENTRADAS DIFERENCIAIS (CORRESPONDENTES A TRÊS CANAIS DE ECG).....	CONF
FIGURA 126 DESENHO DA PCB PROPOSTA QUE ENGLOBA O ADS1192, O ATMEGA 128 E A MEMÓRIA AT25DF041A NA MESMA PLACA.	CONF
FIGURA 127 PROTÓTIPO DA PCB EM TRÊS DIMENSÕES QUE ENGLOBA O ADS1192, O ATMEGA 128 E A MEMÓRIA AT25DF041A NA MESMA PLACA.	CONF
FIGURA 128 ESQUEMÁTICO DA <i>ATMEGA 128 DEVELOPMENT BOARD</i>	CONF
FIGURA 129 <i>FLOWCHART</i> PARA A AQUISIÇÃO DE DADOS A PARTIR DO IC ADS1192.	CONF

Lista de Tabelas

TABELA 1 INTERVENIENTES NO PROJETO.	2
TABELA 2 SINAIS BIOELÉTRICOS COM OS RESPECTIVOS ELÉTODOS E AS SUAS FONTES. (22).....	21
TABELA 3 VANTAGENS E DESVANTAGENS DE IMPLEMENTAÇÕES ANALÓGICAS E DIGITAIS.	29
TABELA 4 ALGUMAS SOLUÇÕES DE AMPLIFICADORES OPERACIONAIS EXISTENTES.	31
TABELA 5 DESCRIÇÃO DE ALGUMAS SOLUÇÕES EXISTENTES NO MERCADO, BEM COMO DAS SUAS PRINCIPAIS CARATERÍSTICAS.	33
TABELA 6 OPÇÕES DE DOIS <i>INTEGRATED ANALOG FRONT ENDS</i> PASSÍVEIS DE SEREM UTILIZADOS NO SISTEMA A DESENVOLVER.	41
TABELA 7 NOME E FUNÇÃO DE CADA PINO DO IC ADS1192. (48)	43
TABELA 8 DESCRIÇÃO DOS PINOS DA MEMÓRIA AT25DF041A. (68).....	107
TABELA 9 VISÃO GERAL DOS PROTOCOLOS DE ECG MAIS UTILIZADOS.....	110
TABELA 10 ESTRUTURA DE UM FICHEIRO SCP-ECG. (66).....	111
TABELA 11 ANÁLISE SWOT DO SCP-ECG. (66)	113
TABELA 12 DEFINIÇÃO DA INFORMAÇÃO OBRIGATÓRIA E OPCIONAL, NO FORMATO DICOM. (66)	114
TABELA 13 ANÁLISE SWOT DO DICOM-ECG. (66)	115
TABELA 14 ANÁLISE SWOT DO HL7-AECG. (66)	116
TABELA 15 COMPETÊNCIAS DESENVOLVIDAS AO LONGO DO PROJETO DESENVOLVIDO.	127

Acrónimos

AAL – <i>Ambient Assisted Living</i>	HIS – <i>Hospital Information System</i>
ADC – <i>Analog-to-Digital Converter</i>	HL7 aECG – <i>Health Level Seven annotated Electrocardiogram</i>
AFE – <i>Analog Front End</i>	I/O – <i>Input/Output</i>
ASCII – <i>American Standard Code for Information Interchange</i>	IA – <i>Instrumentation Amplifier</i>
BPM – <i>Beats Per Minute</i>	IC – <i>Integrated Circuit</i>
C# – <i>C Sharp</i>	IEC – <i>International Electrotechnical Committee</i>
CAD – <i>Computer-Aided Design</i>	IIR – <i>Infinite Impulse Response</i>
CHD – <i>Coronary Heart Disease</i>	ISP – <i>In-System Programming</i>
CMRR – <i>Common-Mode Rejection Ratio</i>	JTAG – <i>Joint Test Action Group</i>
CRC – <i>Cyclic Redundancy Check</i>	LNA – <i>Low-Noise Amplifiers</i>
CS – <i>Chip Select</i>	LSB – <i>Least Significant Bit</i>
CT – <i>Computerized Tomography</i>	MCU – <i>Microcontrolador</i>
COM – <i>Porta Série</i>	MISO – <i>Master Input Slave Output</i>
CVD – <i>Cardiovascular Disease</i>	MOSI – <i>Master Output Slave Input</i>
DC – <i>Direct Current</i>	MRI – <i>Magnetic Resonance Imaging</i>
DICOM – <i>Digital Imaging and Communications in Medicine</i>	MSB – <i>Most Significant Bit</i>
DIN – <i>Data In</i>	NEMA – <i>National Electrical Manufactures Association</i>
DOUT – <i>Data Out</i>	Opamp – <i>Operational Amplifier</i>
ECG – <i>Eletrocardiograma</i>	PCB – <i>Printed Circuit Board</i>
EHN – <i>European Heart Network</i>	PGA – <i>Programmable Gain Amplifier</i>
EMI – <i>Electromagnetic Interference</i>	PME – <i>Pequenas e Médias Empresas</i>
ENOB – <i>Effective Number of Bits</i>	RDATAc – <i>Read Data Continuous Mode</i>
F_c – <i>Frequência de Corte</i>	RDATA – <i>Read Data by Command</i>
FIR – <i>Finite Impulse Response</i>	ROM – <i>Read-Only Memory</i>
FFT – <i>Fast Fourier Transform</i>	RREG – <i>Read Registers</i>

RMS – *Root Mean Square*

SCK – *SPI Bus Serial Clock*

SCP-ECG – *Standard Communications Protocol for Computer Assisted Electrocardiography*

SI – *Serial Input*

SINAD – *Signal-to-Noise and Distortion Ratio*

SNR – *Signal-to-Noise Ratio*

SPI – *Serial Peripheral Interface Bus*

SO – *Serial Output*

SOP – *Service-Object Pair*

SS – *Slave Select*

SWOT – *Strenghts, Weaknesses, Opportunities, Threats*

THD – *Total Harmonic Distortion*

TI – *Texas Instruments*

USART – *Universal Synchronous Asynchronous Receiver Transmitter*

USB – *Universal Serial Bus*

V_{cc} – *Power Supply Pin*

XML – *eXtensible Markup Language*

WREG – *Write Register*

"The beginning is the most important part of the work."
Plato (424 aC – 348 aC)

1001101

CAPÍTULO I

Introdução

1. Introdução

O paradigma mudou. As mudanças demográficas dos últimos anos levaram a que uma das maiores prioridades para a maioria das pessoas no século XXI se tenha virado para a saúde e para a qualidade de vida. Aqui, a Engenharia Biomédica desempenha um papel fulcral por conseguir estabelecer a ligação entre a mais recente tecnologia e a vertente médica. (1)

De facto, a análise e o processamento de um variado lote de parâmetros biológicos é, atualmente, mensurável devido aos novos conceitos tecnológicos e de engenharia que têm sido investigados e desenvolvidos nos últimos anos. Ao contrário do que se verificava há alguns anos atrás onde os serviços de saúde eram todos centralizados nas instituições de saúde locais, o que acontece atualmente é a possibilidade de monitorizar e parametrizar alguns dos mais importantes sinais vitais a partir de casa. O termo *Ambient Assisted Living* (AAL) é utilizado para descrever o conjunto de tecnologias que permitem aumentar o tempo em que os doentes podem estar em suas casas, aumentando a sua autonomia e auxiliando-os a poderem realizar as suas atividades diárias. (2)

O aumento da esperança média de vida, aliado ao decréscimo da taxa de natalidade, tem levado ao envelhecimento progressivo da população europeia. O aumento da qualidade de vida desta fração da população tem sido, portanto, um dos maiores desafios das sociedades europeias. É importante encarar este problema também do ponto de vista social, uma vez que é fundamental que exista um apoio para que as pessoas consigam desempenhar as suas atividades diárias mantendo-se, desta forma, socialmente integradas. (3)

Por outro lado, e segundo dados estatísticos recentes, é sabido que as doenças cardiovasculares são a principal causa de morte em Portugal, bem como em grande parte dos países ocidentais. Para além da elevada mortalidade, estas doenças refletem-se em morbidade, invalidez e potenciais anos perdidos na população portuguesa. Uma das crescentes metodologias usadas no rastreio de problemas de foro cardiovascular é a monitorização da atividade elétrica do coração através de um eletrocardiograma portátil. Desta forma, torna-se possível avaliar a atividade cardíaca durante a rotina diária, que é quando a maioria destes problemas se tornam perceptíveis. (4)

O projeto desenvolvido vem no seguimento destes tópicos. O objetivo passa por desenvolver um módulo de aquisição de dados de eletrocardiograma (ECG), e será atribuído um foco particular ao desenvolvimento do *hardware* e do *firmware*, para que no final seja possível amostrar os dados pretendidos, favorecendo fatores como a portabilidade, o baixo consumo energético ou a transmissão *wireless* de dados.

1.1. Âmbito

Este documento pretende relatar o projeto desenvolvido no âmbito da disciplina de Projeto, no ano letivo 2012/2013, que será apresentado à Faculdade de Ciências e Tecnologias da Universidade de Coimbra para a obtenção do grau de mestre em Engenharia Biomédica.

Os intervenientes responsáveis pela concretização do projeto encontram-se descritos na tabela 1.

Tabela 1 Intervenientes no projeto.

Nome	Função no Projeto	Contacto
David Bento	Estudante que executou o projeto	davidbentor@gmail.com
Prof. Custódio Loureiro	Orientador do projeto na FCTUC	custodio@fis.uc.pt
Eng ^o Manuel Loureiro	Supervisor do projeto na Exatronic	mloureiro@exatronic.pt
Eng ^o César Rodrigues	Supervisor do projeto na Exatronic	crodrigues@exatronic.pt
Eng ^a Mariana Neto	Supervisora do projeto na Exatronic	mneto@exatronic.pt
Prof. Miguel Morgado	Responsável pela coordenação dos projetos do MIEB	miguel@fis.uc.pt

1.2. Enquadramento

Este projeto assenta em três diretrizes essenciais. São elas o aumento da esperança média de vida, a mortalidade associada às doenças cardiovasculares e o foco crescente no desenvolvimento e utilização de soluções portáteis e de utilização confortável.

1.2.1. Mudanças Demográficas

Desde 1970, a esperança média de vida cresceu, em média, entre 6 a 8 anos na Europa e a tendência é ainda crescente, como se demonstra no gráfico da figura 1. (5)

Importa olhar com alguma atenção para o índice de envelhecimento que se tem vindo a verificar nos últimos anos, cujos dados se encontram descritos na figura 2. No panorama nacional, o número de idosos tem vindo a aumentar de forma muito considerável, relativamente ao número de jovens. Este fenómeno deve-se à queda da taxa de natalidade e ao aumento da esperança média de vida, descrita na figura 1. A título de exemplo, enquanto que em 2000 existiam 102 idosos (>64 anos) por cada 100 jovens (≤ 14 anos), em 2009 o número cresceu para os 118 idosos por cada 100 jovens. (6)

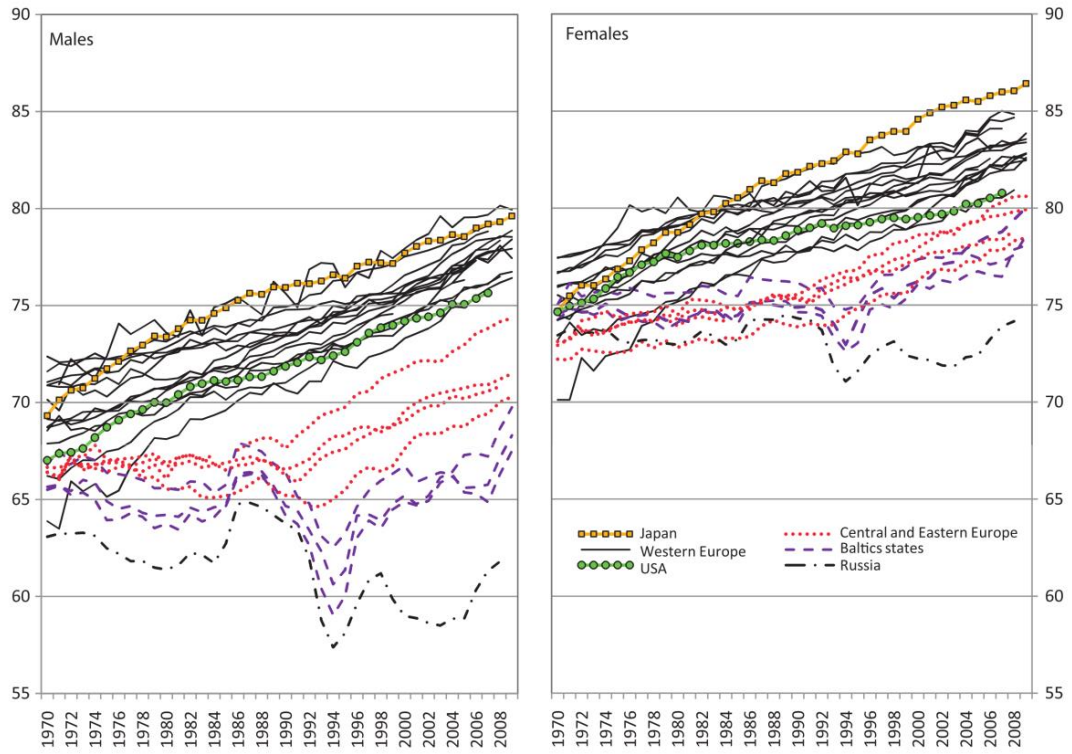


Figura 1 Esperança média de vida à nascença, por região do globo e sexo. (5)

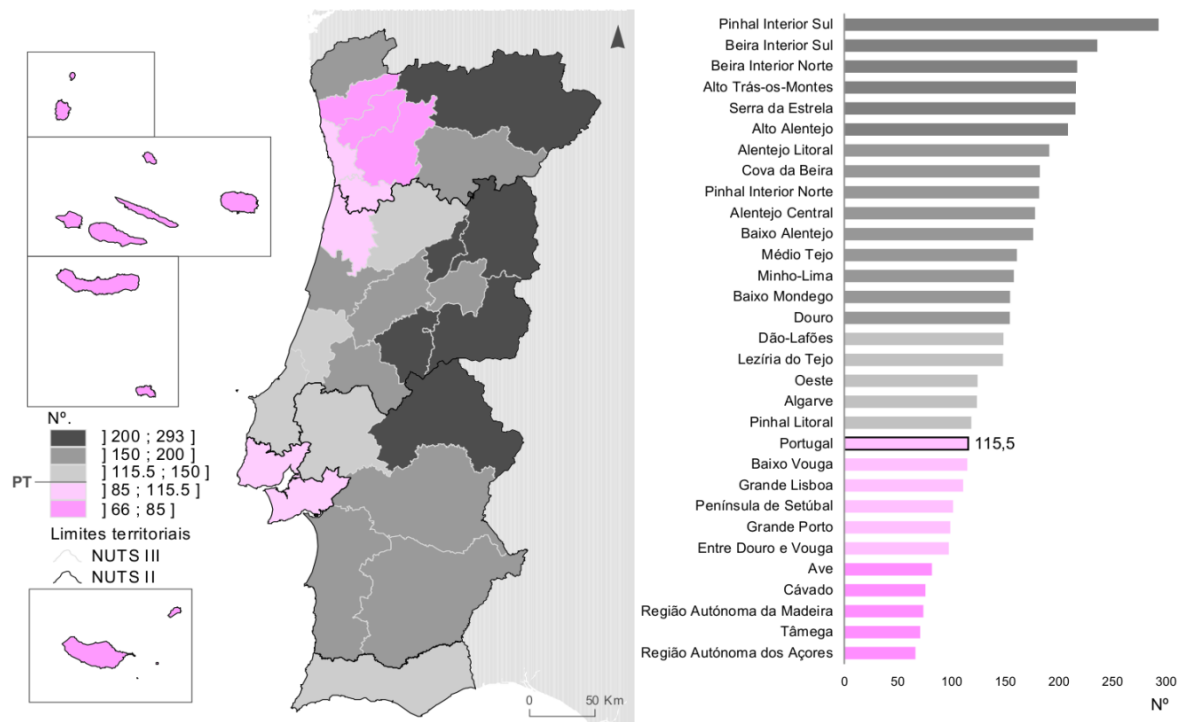


Figura 2 Índice de envelhecimento em Portugal, em 2008. (6)

O aumento de esperança média de vida vem trazer uma atenção redobrada à classe idosa, o que tem importantes implicações a nível social e económico.

1.2.2. Doenças Cardiovasculares

Segundo dados da Comunidade Europeia do Coração (EHN) morrem, anualmente, mais de 4 milhões de pessoas na Europa devido a doenças cardiovasculares, correspondendo a 47% da globalidade das mortes em toda a Europa. É a maior causa de morte no sexo feminino em todos os países europeus e a maior causa de morte igualmente no sexo masculino, exceto em seis países (França, Israel, Holanda, San Marino, Eslovénia e Espanha). Estes dados estatísticos são relativos ao ano de 2012 e demonstram o impacto das doenças cardiovasculares nos índices de mortalidade europeus e mundiais. (7) Na figura 3 vem descrita, graficamente e em quatro parâmetros, a evolução do índice de mortalidade desde o ano de 1990: Doenças Cardiovasculares (CVD), Doenças do Coração (*Heart Disease*), Doenças Coronárias (CHD) e Acidente Vascular Cerebral (*Stroke*).

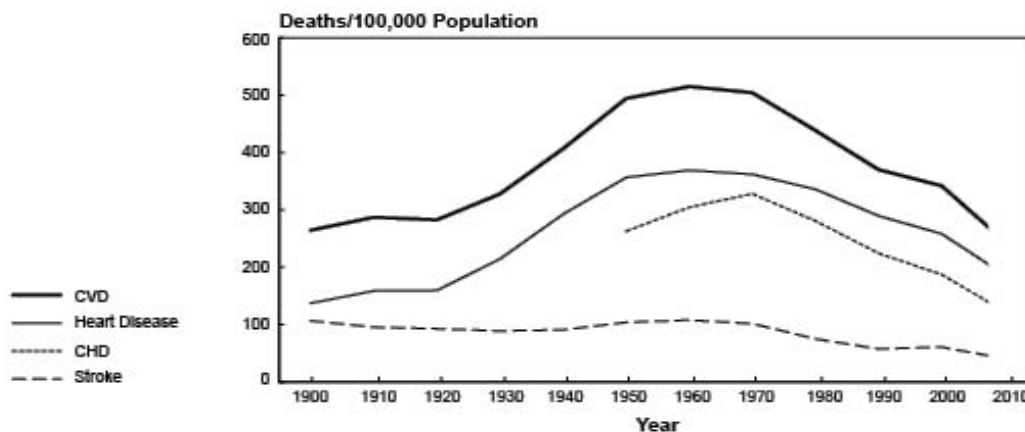


Figura 3 Índice de Mortalidade Europeia por cada 100 000 indivíduos, em função das doenças cardiovasculares. (8)

1.2.3. Eletrocardiograma

O eletrocardiograma é o registo da atividade elétrica do coração, medido na superfície do corpo. Através da medição de vários ciclos cardíacos é possível obter uma alargada análise da fisiologia cardíaca, permitindo detetar patologias como, por exemplo, arritmias, isquemias miocárdicas ou pericardites.

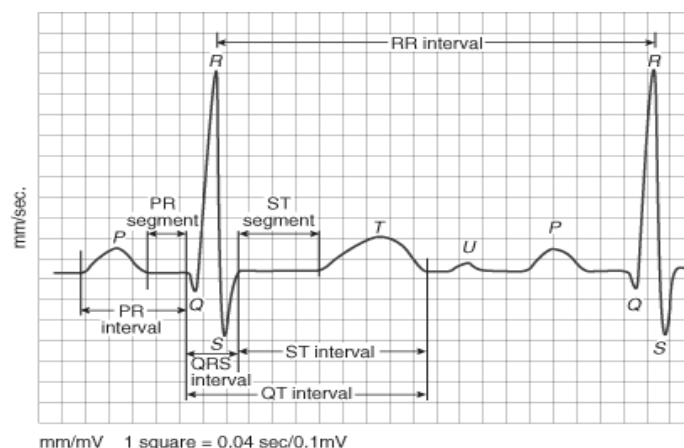


Figura 4 Sinal normal de um eletrocardiograma.

Um dos maiores problemas associados a este teste é o facto da sua execução ser feita em repouso e durante um espaço de tempo muito curto. A grande maioria das anomalias cardíacas surgem e/ou são detetáveis aquando da realização de tarefas quotidianas, e a possibilidade de existir um dispositivo portátil permite monitorizar estes sinais vitais diariamente, no decorrer da rotina do doente. Por um lado, o diagnóstico pode ter maior precisão, que vai resultar num tratamento mais adequado, e por outro, um dispositivo com essas características poderia funcionar como sistema de alarme em caso de ocorrência de ataque cardíaco, levando a uma intervenção mais rápida e eficaz uma vez que as consequências de um ataque cardíaco são dependentes do tempo que decorre até ao tratamento. (9)

1.3. Objetivos do Projeto

Este projeto, tal como foi supramencionado, irá incidir no desenvolvimento de um dispositivo médico portátil de eletrocardiograma. Aqui, o foco irá para o desenvolvimento de *hardware* e *firmware* pretendendo-se, portanto, desenhar uma configuração eletrónica que, atendendo à relação desempenho vs. consumo, consiga um sinal do potencial cardíaco do coração com bons índices qualitativos.

Desta forma, começar-se-á por analisar a oferta atual de eletrocardiogramas portáteis, bem como os desenvolvimentos feitos em sistemas embebidos e circuitos integrados para a área médica. Será igualmente importante analisar as características técnicas e a configuração e o desenho do *hardware*. Posteriormente, proceder-se-á ao estudo das características do sinal que se pretende medir e das normas existentes na conceção de dispositivos médicos. Os componentes a utilizar e a sua disposição irão ser detalhadamente estudados, e serão definidos em função dos objetivos delineados pela Exatronic para o produto a desenvolver.

Após esta parte inicial, e depois de definido o esquemático do módulo de aquisição, haverá uma fase de aprendizagem de uma ferramenta CAD (*software Altium Designer*[®]) e o desenvolvimento do circuito impresso (PCB, *Printed Circuit Board*). Após a placa desenhada e devidamente montada, será altura para programar o

microcontrolador, o que implicará a aprendizagem da linguagem de programação C. Por fim, serão feitos os testes à placa durante os quais será avaliada a sua funcionalidade e procurar-se-á otimizar o sinal obtido.



Figura 5 Etapas a desenvolver ao longo do projeto.

1.4. Organização do Documento

Esta dissertação de mestrado encontra-se dividida em 3 partes, que englobam 8 capítulos e quatro anexos. São eles,

Parte I

Capítulo 1 – Introdução

Apresenta-se o enquadramento e os objetivos do projeto. É feita referência à equipa, à Exatronic e ao planeamento e agendamento de todas as atividades que estarão por detrás do conteúdo apresentado neste documento.

Capítulo 2 – Eletrocardiograma e o Estado da Arte dos Dispositivos Médicos Portáteis

São descritos os princípios fisiológicos que permitem a medição dos parâmetros que irão ser alvo de estudo. Apresenta-se ainda um estudo do atual panorama de dispositivos médicos de eletrocardiograma existentes no mercado, dos seus componentes e das suas principais características.

Parte II

Capítulo 3 – Módulo de Aquisição

É feito um estudo teórico sobre os componentes eletrónicos a incorporar no desenvolvimento de *hardware*. Apresentam-se igualmente as configurações estudadas e os motivos que levaram à seleção de determinados componentes e configurações, em detrimento de outros.

Capítulo 4 – Hardware

Contém todas as considerações relativas ao desenvolvimento de *hardware* do módulo de aquisição de ECG. Estão aqui inseridas as considerações relativas a todo o trabalho desenvolvido com o *Altium Designer*[®].

Capítulo 5 - Firmware

Informação relativa ao *firmware* desenvolvido e programado através do microcontrolador (MCU). Irá conter todo o processo de desenvolvimento do código na linguagem C até à obtenção da versão final, cujo objetivo será programar o correto funcionamento do módulo de aquisição. Irão ser descritas todas as iterações feitas para a melhoria do sinal recolhido.

Capítulo 6 – Testes ao Sistema

Análise global e constituição final do sistema. Estudo do sinal obtido e descrição crítica dos testes finais realizados ao protótipo desenvolvido ao longo deste projeto.

Capítulo 7 – Armazenamento de Dados

Reporta a incorporação de uma memória física no *hardware* desenvolvido que tem como objetivo armazenar os dados recolhidos através da PCB (*Printed Circuit Board*) desenvolvida. É feita referência aos formatos *standard* de armazenamento de dados de ECG e será feita, inclusive, uma conversão para um desses formatos.

Parte III

Capítulo 8 – Conclusões e Considerações Futuras

Debate sobre o alcance dos objetivos auto-propostos aquando do início do projeto, bem como das perspetivas futuras e do que poderá, e deverá, ser melhorado.

Anexos

1.5. Exatronic

A Exatronic é uma empresa portuguesa que se enquadra como PME (pequenas e médias empresas), fornecendo produtos e soluções com eletrónica integrada. Com data de criação em 1995, perfazendo assim 18 anos de existência, fornece igualmente soluções em áreas como engenharia e/ou certificação de produto, aprovisionamento de matérias-primas ou produção em regime de sub-contratação.

Com um foco principal nas áreas de eletrónica, automação e secção automóvel, apresentou, no segundo semestre de 2010, uma nova área de negócio centrada na área médica designada por Exa4Life, na qual se enquadra este projeto através de um protocolo estabelecido com a Universidade de Coimbra.

1.6. Planeamento do Projeto

Foram utilizadas algumas ferramentas que funcionaram como suporte para a calendarização e planeamento das atividades previstas para este projeto. Entre elas é importante referenciar o *ReadMine*, ferramenta *web* utilizada na Exatronic e onde foram registadas todas as tarefas desenvolvidas, bem como o tempo despendido para cada uma, os *Weekly Activity Report*, ferramenta interna da Exatronic que funciona como *status report* semanal e, ainda, um diagrama de *gantt* onde se calendarizaram as macro tarefas definidas para este projeto.

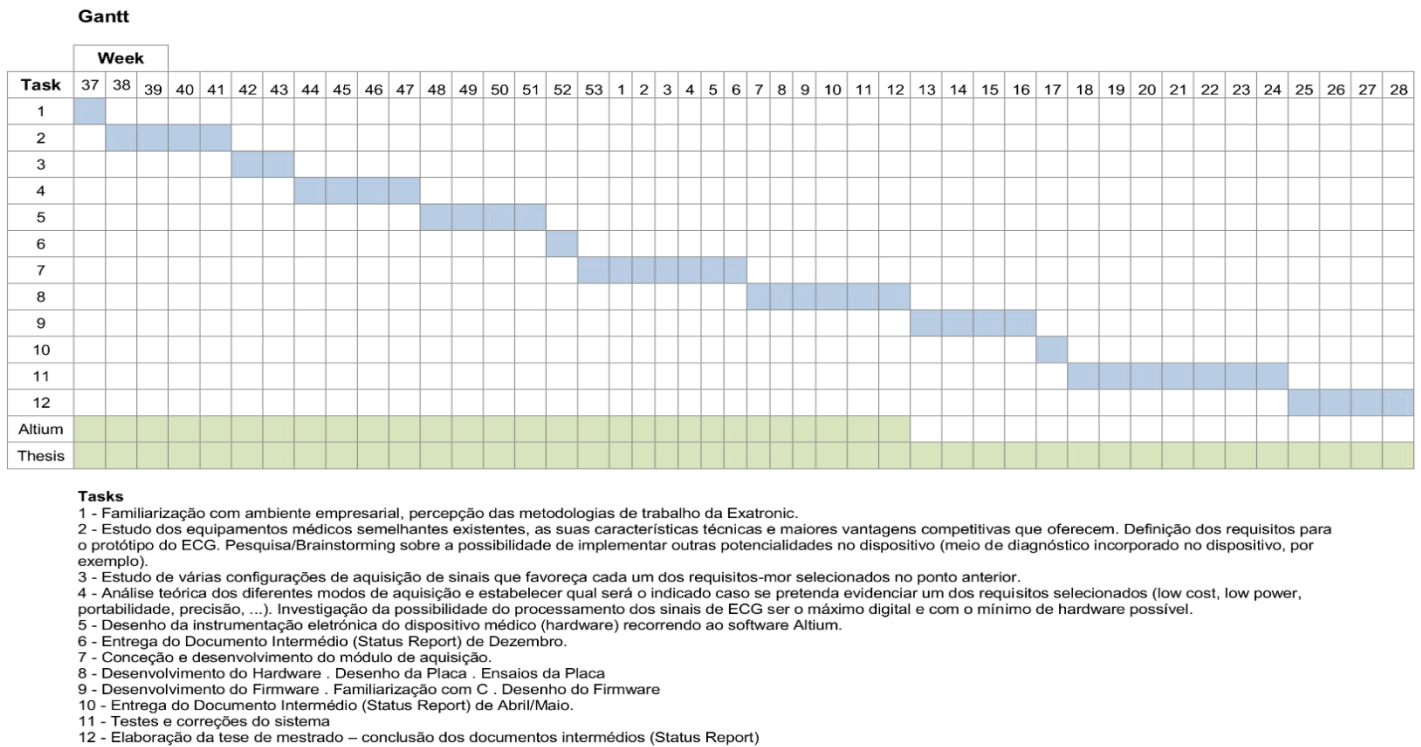


Figura 6 Diagrama de *Gantt* inicial do projeto.

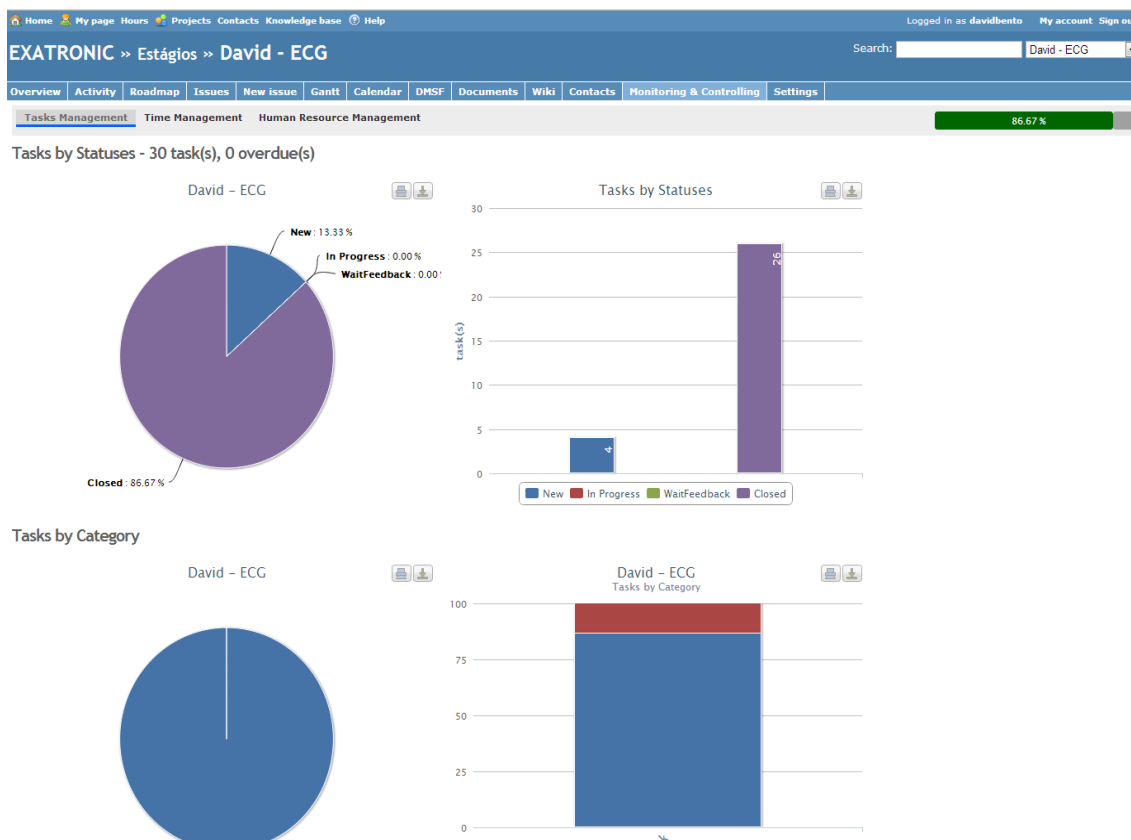
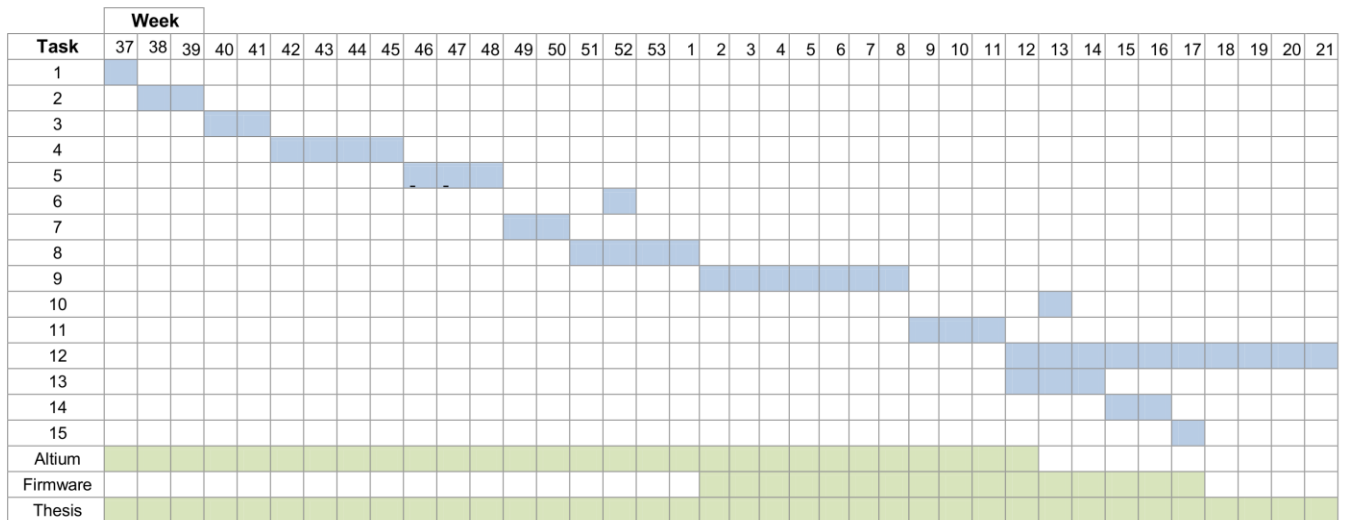


Figura 7 Layout da ferramenta Redmine utilizada.

À semelhança daquilo que acontece com grande parte dos projetos de Engenharia, existem sempre desvios e ajustes àquilo que era o plano temporal de atividades projetado inicialmente, seja por questões técnicas que demoraram um pouco mais/menos de tempo a resolver ou pela necessidade de executar uma outra atividade que se revela essencial numa parte determinante do projeto. No caso do trabalho realizado no presente documento, essas modificações acabaram por se revelar positivas uma vez que se conseguiram atingir os objetivos traçados com maior brevidade. Desta forma, houve tempo para desenvolver alguns tópicos extra que pretendem aprimorar os resultados e o funcionamento prático do dispositivo. Mostra-se, na figura 8, o diagrama de *gantt* final do projeto, que contou com menos sete semanas daquilo que estava inicialmente previsto.



Tasks

- 1 - Familiarização com ambiente empresarial, percepção das metodologias de trabalho da Exatronic.
- 2 - Estudo dos equipamentos médicos semelhantes existentes, as suas características técnicas e maiores vantagens competitivas que oferecem. Definição dos requisitos para o protótipo do ECG. Pesquisa/Brainstorming sobre a possibilidade de implementar outras potencialidades no dispositivo (meio de diagnóstico incorporado no dispositivo, por exemplo).
- 3 - Estudo de várias configurações de aquisição de sinais que favoreça cada um dos requisitos-mor selecionados no ponto anterior.
- 4 - Análise teórica dos diferentes modos de aquisição e estabelecer qual será o indicado caso se pretenda evidenciar um dos requisitos selecionados (low cost, low power, portabilidade, precisão, ...). Investigação da possibilidade do processamento dos sinais de ECG ser o máximo digital e com o mínimo de hardware possível.
- 5 - Desenho da instrumentação eletrónica do dispositivo médico (hardware) recorrendo ao software Altium.
- 6 - Entrega do Documento Intermédio (Status Report) de Dezembro.
- 7 - Conceção e desenvolvimento do módulo de aquisição.
- 8 - Desenvolvimento do Hardware . Desenho da Placa . Ensaios da Placa
- 9 - Desenvolvimento do Firmware . Familiarização com C . Desenho do Firmware
- 10 - Entrega do Documento Intermédio (Status Report) de Abril/Maio.
- 11 - Testes e correções do sistema
- 12 - Elaboração da tese de mestrado – conclusão dos documentos intermédios (Status Report)
- 13 - Desenvolvimento de programa em C# que permita dispor graficamente os dados recolhidos através do sistema de ECG em tempo real.
- 14 - Incorporação de uma memória física no sistema desenvolvido e desenvolvimento do firmware para o seu desenvolvimento.
- 15 - Transformação dos dados de ECG recolhidos para o formato SCP-ECG.

Figura 8 Diagrama de *Gantt* final do projeto.

Como se pode verificar pela comparação entre os dois diagramas de *gantt*, existiram três tarefas que foram acrescentadas devido ao alcance prematuro dos objetivos iniciais do projeto. Consistiram na elaboração de um programa em C#, na incorporação de uma memória física no sistema de ECG desenvolvido e na conversão para um formato *standard* de armazenamento de dados de eletrocardiograma, cujas características e objetivos vão ser discriminados ao longo do presente documento.

*"A ship is safe in harbor,
but that's not what ships are for."*
William Shedd (1820-1894)

1001101

CAPÍTULO II

Eletrocardiograma e o Estado da Arte dos Dispositivos Médicos Portáteis

2. Eletrocardiograma e o Estado da Arte dos Dispositivos Médicos Portáteis

Antes de avançar para o cerne do projeto, importa atentar nos fenómenos que permitem o desenvolvimento de um eletrocardiograma. Neste capítulo serão abordados, portanto, os princípios fisiológicos que estão na base dos potenciais cardíacos, com referência a alguns conceitos de eletrónica que permitem o processamento de um sinal de tão baixa amplitude. Será feita ainda uma revisão sobre o estado atual dos eletrocardiogramas portáteis, com principal ênfase nas últimas evoluções.

Um eletrocardiograma é considerado uma das principais ferramentas na prática clínica por apresentar algumas vantagens importantes, como a não-invasividade e o facto de permitir diagnosticar distúrbios cardíacos de forma relativamente rápida. (10) É crucial perceber como e quando o ECG é utilizado, quais são as propriedades e os dados mais importantes que consegue fornecer e quais as convenções standardizadas para o seu sistema de medição.

2.1. Processos Fisiológicos

Os sinais biológicos podem ser de origem elétrica, química ou acústica e ser recolhidos como potenciais ou campos elétricos, sendo originários de ações de nervos ou músculos. Neste caso, o órgão que será alvo de estudo é o coração, cuja anatomia vem descrita na figura 9. (11)

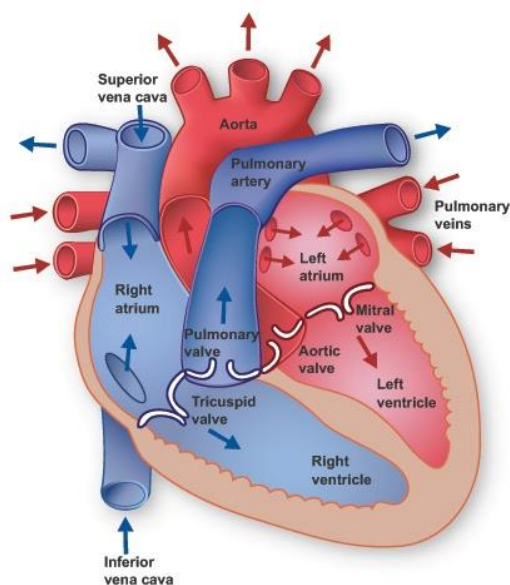


Figura 9 Anatomia do coração. (12)

As paredes das quatro válvulas do coração encontram-se envoltas por um músculo estriado, o miocárdio, que sofre contrações rítmicas e que proporciona a circulação de sangue através do corpo. Este fenómeno resulta da passagem de um impulso elétrico através do coração que, através da contração do miocárdio, levará a um batimento cardíaco. A transmissão do impulso elétrico é feita de uma forma coordenada, levando a uma variação de potencial elétrico mensurável na superfície do corpo, cujo registo é conhecido como um eletrocardiograma (ECG). (13)

Para se perceber os fundamentos fisiológicos que estão por detrás do ECG é necessário entender a eletrofisiologia de cada célula, a forma como a onda elétrica se propaga através do miocárdio e a forma como isso resulta num sinal mensurável na superfície do corpo. (13)

2.1.1. O Processo Celular

Cada batimento cardíaco é originado a partir de um potencial de ação que é originado e conduzido rapidamente através do coração para gerar uma contração. Em repouso, as células do miocárdio têm carga negativa comparativamente com o restante fluido extracelular, na ordem dos -80 / -90 milivolts (mV), devido à permeabilidade da membrana celular que controla a permeabilidade de iões como o sódio, o potássio ou o cálcio. Estas variações na condutância dos iões são responsáveis pela abertura e fecho dos canais de iões que vão gerar mudanças no potencial elétrico da membrana ao longo do tempo. (14)

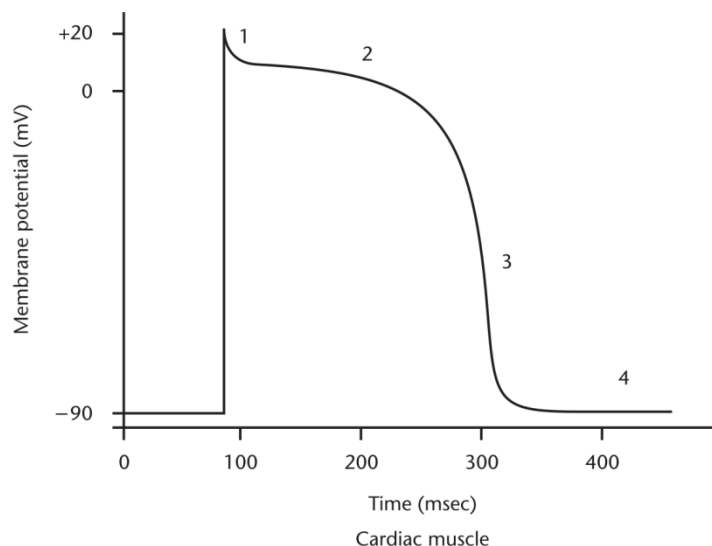


Figura 10 Potencial de ação normal resultante de uma célula ventricular miocárdica. (14)

A despolarização diastólica, que corresponde ao período de relaxamento muscular e que alterna com o período de contração muscular (designado por sístole), é medida por três correntes iónicas principais. Tratam-se, respetivamente, da corrente de iões

de sódio (Na^+) para dentro da célula e do fluxo de iões de cálcio (Ca^{2+}) e potássio (K^+) para o exterior da célula. (15)

Na figura 10 encontramos as fases do processo de criação de um potencial de ação descritas, que podem ser correspondidas com os processos descritos no parágrafo anterior. A fase 0 corresponde à abertura dos canais de sódio (Na^+) e a consequente entrada destes iões na célula; a fase 1 é originada com o início da saída dos iões de potássio (K^+) da célula; a fase 2 estabelece-se com a entrada de iões de cálcio (Ca^{2+}) na célula e com a contínua saída dos iões de potássio (K^+); e a fase 3 é devida à saída exclusiva dos iões de K^+ que culmina com a chegada à fase 4, equivalente ao estado de repouso da célula. (14)

No tecido auricular, o potencial de ação tem menor duração do que nas células ventriculares, porque o influxo de iões de cálcio é menor devido à menor força de contração desenvolvida pelas aurículas. Aqui a condução do impulso é rápida, uma vez que quanto mais veloz for a despolarização, mais rápido é o desenvolvimento de diferenças de carga entre o tecido despolarizado e polarizado, sendo, também, mais rápida a condução do impulso célula a célula. (15)

2.1.2. Complexo QRS

Cada batimento cardíaco inicia-se com um impulso proveniente do nó sinoauricular, igualmente designado por *pacemaker* fisiológico. Este impulso ativa, em primeira instância, o miocárdio auricular que leva à produção de uma onda à qual se atribui a designação de onda P. É importante referir que esta onda é uma consequência, mas não representa diretamente a atividade do nó sinoauricular. (16)

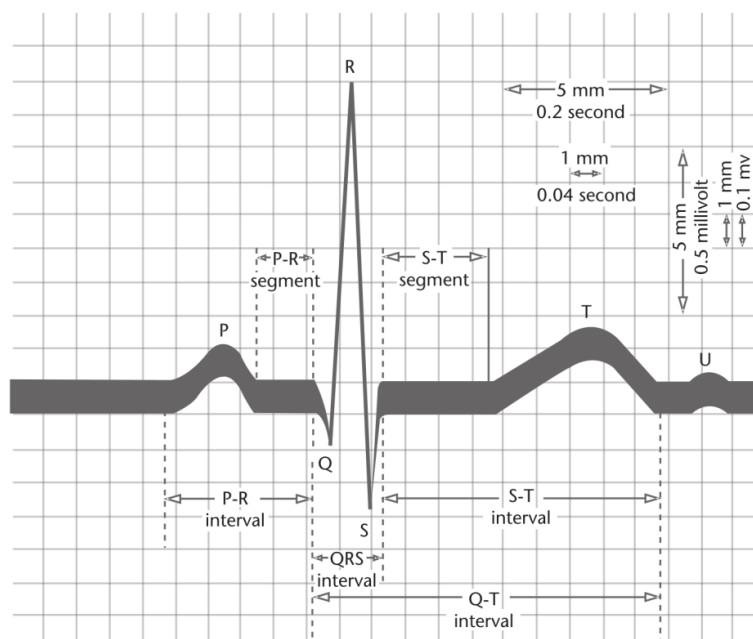


Figura 11 Onda de um eletrocardiograma normal. Podem ver-se as várias ondas que integram um ECG e o complexo QRS. (14)

A onda P, visível no início da figura 11, representa a ativação da aurícula direita, enquanto que a sua parte terminal corresponde à ativação da aurícula esquerda. Os impulsos auriculares não conseguem atingir os ventrículos de forma direta devido à existência de tecido conjuntivo entre as aurículas e os ventrículos e, desta forma, o único ponto que permite a passagem deste impulso é o nó aurículo-ventricular, cujas propriedades são semelhantes às do nó sinoauricular. (16)

O complexo QRS resulta da despolarização do músculo ventricular e a despolarização auricular é seguida pela sua repolarização, correspondendo a um tipo de onda que não é, habitualmente, evidente no eletrocardiograma. Por sua vez, a repolarização ventricular, posterior ao complexo QRS, é visível no ECG através da onda T. É importante referir que a despolarização elétrica do miocárdio (auricular e ventricular) não é sinónimo de contração muscular, ainda que, em geral, a despolarização deva preceder a contração mecânica correspondente. (15)

2.1.3. Princípios Físicos da Eletrocardiografia

Como resultado da atividade elétrica das células, existe corrente elétrica que circula no corpo, estabelecendo diferenças de potencial com a superfície da pele e tornando estes sinais biométricos mensuráveis. O modelo do dipolo elétrico permite explicar matematicamente a existência destas diferenças de potencial nas extremidades do corpo, ferramenta extremamente importante para possibilitar o estudo clínico da eletrocardiografia. (14)

O modelo do dipolo elétrico divide-se na representação da atividade elétrica do coração e nas propriedades geométricas e elétricas do restante corpo envolvente. Considerando, primeiramente, a atividade elétrica do coração e sabendo que, como um potencial de ação irá atravessar uma célula no miocárdio, irá igualmente ser gerada uma corrente 'intracelular' que seguirá na direção da propagação até ao tecido em descanso e despolarizado. Por outro lado, existe uma corrente extracelular que circula no sentido contrário à direção de propagação do potencial de ação e fazendo com que a carga seja conservada. Assim sendo, estes ciclos consecutivos formam o campo do dipolo, como se pode ver no diagrama da figura 12.

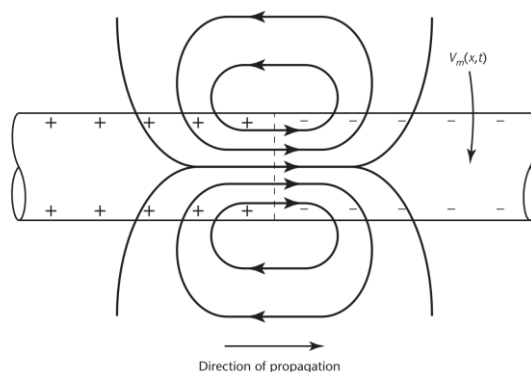


Figura 12 Campo elétrico do dipolo numa célula miocárdica numa frente de despolarização, onde V_m é o potencial transmembranar. (14)

Uma vez que o vetor de despolarização é transmitido através do coração, o vetor do campo elétrico irá sofrer mudanças em termos de magnitude e direção em função do tempo. A distribuição de correntes e potenciais na superfície está dependente das características elétricas da área envolvente ao coração e o modelo do dipolo elétrico considera o corpo como um condutor linear, isotrópico, homogêneo e esférico, de raio R e condutividade σ . Genericamente, a diferença de potencial entre dois pontos A e B na superfície do corpo é dado pela expressão,

$$V_{AB}(t) = M(t) \cdot L_{AB}(t)$$

onde $M(t)$ é o vetor cardíaco proveniente do coração e $L_{AB}(t)$ o vetor que liga os pontos A e B . (14)

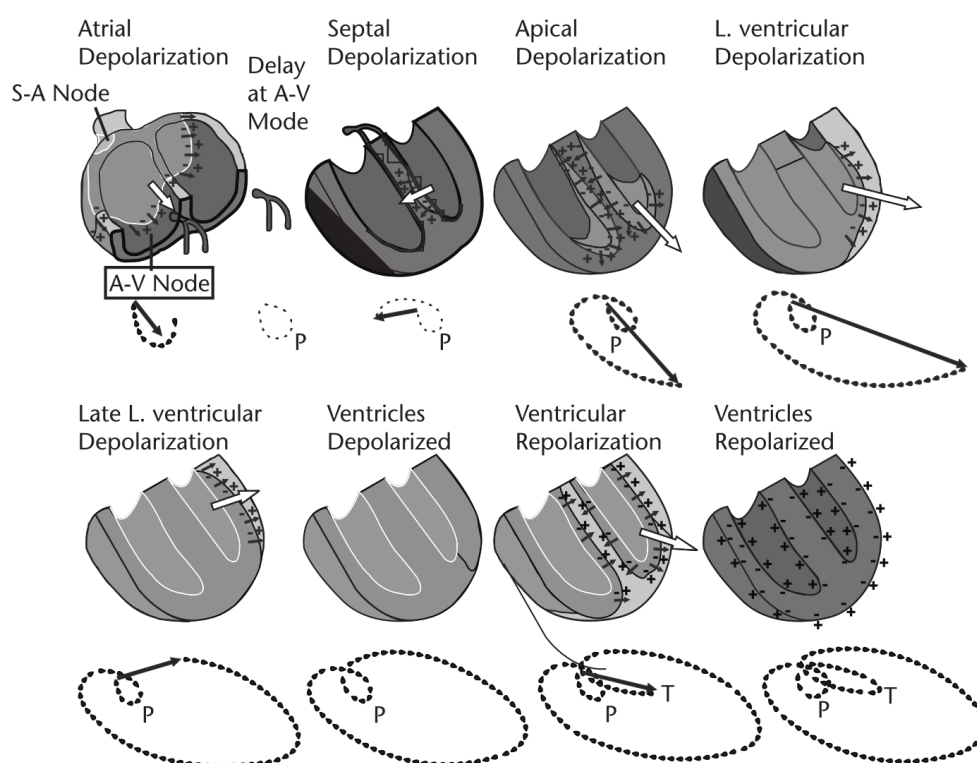


Figura 13 Trajetória de um vetor cardíaco normal. (17)

2.1.4. Triângulo de Einthoven¹

Os vetores supramencionados no capítulo 2.1.3. podem ser representados a partir das derivações bipolares dos membros através do triângulo de Einthoven. Aqui, os elétrodos existentes no braços direito e esquerdo, e perna esquerda, constituem os vértices de um triângulo equilátero, estando este eixo dividido pelo ponto médio de cada derivação bipolar numa metade positiva e noutra metade negativa. Existem

¹ Willem Einthoven (1860-1927) foi um médico e fisiologista holandês que inventou o primeiro eletrocardiograma prático e recebeu o prémio nobel da medicina em 1924 como reconhecimento dessa invenção.

depois linhas perpendiculares traçadas com origem no centro de cada derivação que intersectam o centro do triângulo equilátero e que, teoricamente, representam o centro da atividade elétrica. (15)

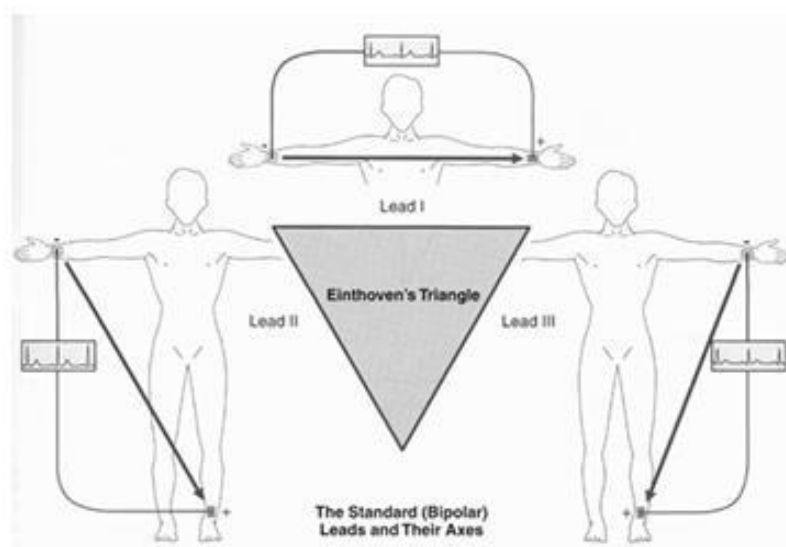


Figura 14 O triângulo de Einthoven. (18)

Os elétrodos encontram-se colocados nas quatro extremidades do corpo do utilizador, ou seja, no braço direito e esquerdo e perna esquerda, respetivamente. A diferença de potencial entre estes pontos é a base das três derivações principais de um ECG. São elas,

- Derivação I = $V_{LA} - V_{RA}$ (Lead I na figura 14)
- Derivação II = $V_{LL} - V_{RA}$ (Lead II na figura 14)
- Derivação III = $V_{LL} - V_{LA}$ (Lead III na figura 14)

sendo V_{LA} o potencial no braço esquerdo, V_{RA} no braço direito e V_{LL} na perna esquerda. (14)

Atentando na figura 14 identifica-se que na derivação I, o braço esquerdo é eletropositivo relativamente ao braço direito, na derivação II, a perna esquerda é positiva em relação ao braço direito e, por fim, na derivação III, a perna esquerda é eletropositiva em relação ao braço esquerdo.

Estas derivações, escolhidas por Einthoven, constituem as derivações bipolares dos membros e serão a base do trabalho descrito neste documento, em detrimento das doze derivações do ECG *standard*, pela incapacidade de desenvolver um eletrocardiograma portátil para monitorização de utilizadores com as dimensões necessárias para um sistema com 12 derivações. (15)

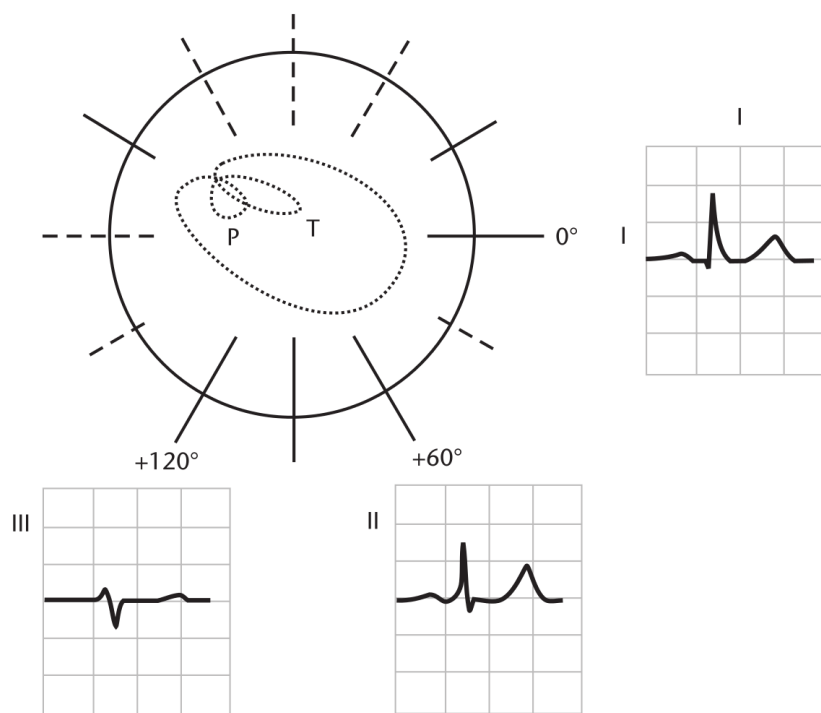


Figura 15 O vetor cardíaco e a geometria das derivações I, II e III. (17)

Na figura 15 visualiza-se o vetor cardíaco e o sinal espectável para cada uma das derivações descritas na figura 14.

2.2. Caraterísticas Elétricas de um sinal de Eletrocardiograma

Um dos principais requisitos que um dispositivo de ECG deve cumprir é possuir a maior precisão possível e ser capaz de manter a qualidade do sinal recolhido mesmo em ambientes mais desfavoráveis. Isto implica que a resolução e o processamento de sinal possibilitem distinguir um sinal cujos parâmetros são:

- . Gama de Batimentos Cardíacos – 30 a 200 batimentos/min;
- . Amplitude do Complexo QRS – 0.1 a 20 miliVolts;
- . Amplitude da Onda P – 5% a 40% da Amplitude do Complexo QRS (miliVolts);
- . Amplitude da Onda T – 10% a 80% da Amplitude do Complexo QRS (miliVolts). (19)

Assim sendo, importa estudar atentamente o tipo de sinal com que estamos a trabalhar e prestar a devida atenção ao desenho do dispositivo com o objetivo de suprimir ao máximo o ruído elétrico que pode corromper o sinal de ECG. (10)

A gama de frequências do sinal de um ECG de um humano situa-se entre 0.05 e 150 Hz. Quando a aquisição do sinal de ECG é feita com propósitos de diagnóstico é necessário que toda esta gama de frequências seja analisada, uma vez que só assim é possível analisar a morfologia do complexo 'QRS' e taquiarritmias. Caso o propósito do dispositivo seja apenas para questões de monitorização em tempo real são, habitualmente, usados filtros que encurtam essa gama para os valores entre 0.5 e 40 Hz e que permitem reduzir o ruído externo. (10)

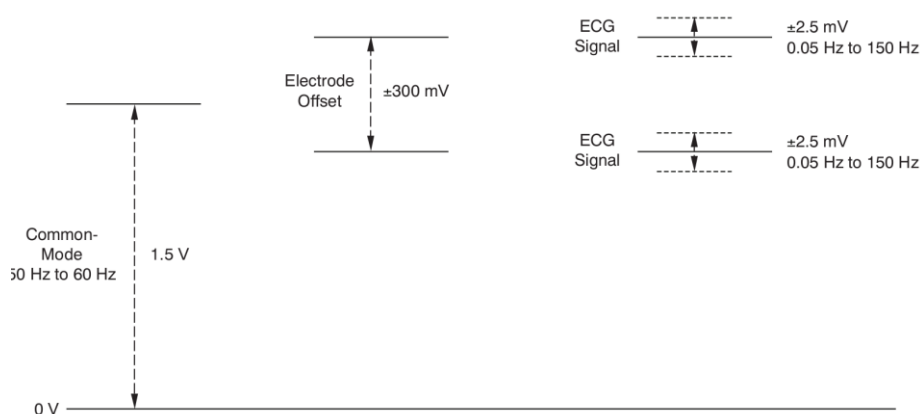


Figura 16 Caraterísticas de um sinal de ECG. (20)

Na figura 16 é possível visualizar as caraterísticas elétricas de um sinal de ECG. Os valores elevados de *offset* que se encontram na figura 16 são explicados pela tensão gerada em elétrodos de Ag / AgCl, os mais utilizados em sistemas de ECG, que podem atingir tensões de *offset* na ordem dos ± 300 mV. Uma vez que o sinal elétrico de eletrocardiograma que se pretende adquirir tem amplitudes na ordem dos poucos mV, e adicionando a interferência de 50 / 60 Hz proveniente do fornecimento energético, tornam-se evidentes as dificuldades que existirão na aquisição e processamento do sinal. (21)

É importante detetar a origem do ruído existente no sinal e que terá influência direta na qualidade, nitidez e fiabilidade do sinal de ECG. Existem três fontes que incrementam ruído no sinal e que devem ser combatidas:

1. *Baseline Drift*;
2. Interferência da alimentação energética (50 Hz);
3. Interferência proveniente dos músculos.

Uma das fontes de corrupção do sinal do eletrocardiograma é, como foi mencionado acima, o *offset* proveniente dos elétrodos colocados no utilizador, denominada por *baseline drift* e que é causada por movimentos corporais mínimos ou pela distribuição heterogénea do potencial elétrico no local em que é feito o exame. Para combater a tensão de modo comum é necessário utilizar amplificadores de instrumentação com elevado rácio de rejeição de modo comum, na ordem dos 100 dB. Uma vez que o sinal tem uma amplitude tão baixa é necessário amplificar o sinal para que possa ser amostrado e esta tensão de *offset* vai limitar o valor máximo de ganho que poderia ser obtido através da utilização de um amplificador de instrumentação. (20)

A amplitude da interferência da alimentação elétrica é bastante significativa e, habitualmente, aparece associada ao ruído de modo comum no domínio digital. É possível remover esta interferência aplicando um filtro *notch* a uma frequência de 50Hz, no domínio digital. (21)

É necessário recorrer à utilização de filtros, que podem ser feitos analogicamente, utilizando *hardware*, ou digitalmente, recorrendo a *software*.

2.3. Eléttodos

O mecanismo da condutividade elétrica no corpo envolve o movimento de iões portadores de carga, sendo necessário fazer a transdução desta corrente iónica para corrente elétrica. Este processo de transdução elétrica é feito por eléctrodos, transdutores elétricos que convertem em corrente elétrica os potenciais elétricos do coração e que resultam das movimentações iónicas que ocorrem ao longo das suas células. (22)

Tabela 2 Sinais bioelétricos com os respetivos eléctrodos e as suas fontes. (22)

Bioelectric Signal	Abbreviation	Biologic Source
Electrocardiogram	ECG	Heart—as seen from body surface
Cardiac electrogram	—	Heart—as seen from within
Electromyogram	EMG	Muscle
Electroencephalogram	EEG	Brain
Electrooptigram	EOG	Eye dipole field
Electroretinogram	ERG	Eye retina
Action potential	—	Nerve or muscle
Electrogastrogram	EKG	Stomach
Galvanic skin reflex	GSR	Skin

2.3.1. Eléttodos para Monitorização Contínua

A monitorização contínua de sinais de eletrocardiograma implica requisitos específicos nos eléctrodos utilizados para recolher os sinais. Assim sendo, estes eléctrodos têm de apresentar uma interface estável com a superfície do corpo onde se encontram instalados, optando-se, habitualmente, por eléctrodos não-polarizados para este tipo de aplicações. Através da otimização da estabilidade mecânica dos eléctrodos consegue-se reduzir o ruído existente e, dessa forma, foram encontradas várias técnicas que permitem minimizar a deterioração do sinal através da interface. Um exemplo é a utilização de um fluido ou gel. (22)

2.3.2. Posicionamento dos Eléttodos

Estima-se que cerca de 5% de todos os eletrocardiogramas realizados no mundo apresentem um sinal de baixa qualidade e/ou tenham sido recolhidos com um mau posicionamento dos eléctrodos. Estes factores interferem diretamente com a correta interpretação de um sinal ECG. (23)

É, portanto, particularmente importante atentar à posição dos eléctrodos, que devem estar posicionados conforme descrito na figura 17.

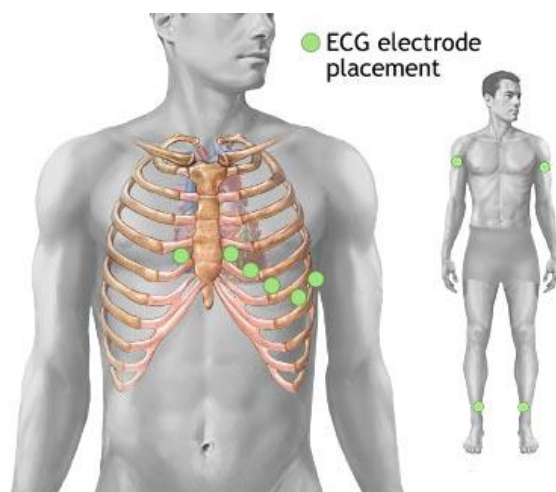


Figura 17 Correto posicionamento dos eléctrodos num ECG. (24)

No entanto, neste projeto o dispositivo médico para ECG a desenvolver irá contar apenas com 4 eléctrodos (braço direito e esquerdo; e perna direita e esquerda).

2.4. Estado de Arte

Nesta secção será feito um estudo sobre os dispositivos portáteis de eletrocardiograma já existentes, as suas potencialidades, características e configurações de *hardware* que adotam. Existem variados dispositivos de ECG, desde os que utilizam 3 canais até aos que usam 12 canais, e muitos deles servem ainda para monitorizar parâmetros como a pressão sanguínea, a respiração, a temperatura ou saturação de oxigénio no sangue. (25)

Na figura 18 encontra-se um pequeno esquema com a ótica da *Analog Devices* sobre a configuração dos dispositivos de ECG.

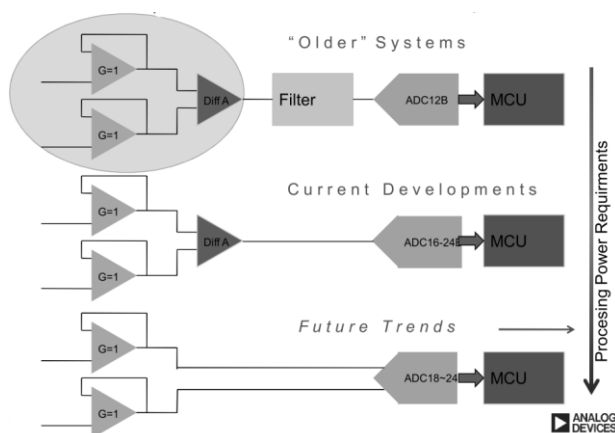


Figura 18 - Esquema da *Analog Devices* sobre o estado da arte nas configurações eletrônicas de ECG. É perceptível a tendência para o recurso a uma maior filtragem digital, em detrimento da filtragem analógica. (26)

No documento que reporta este projeto e, especificamente, no espaço destinado ao módulo de aquisição e ao desenvolvimento de *firmware*, será feita uma breve apresentação das tecnologias mais recentes em cada área que servirá igualmente para posicionar os avanços adquiridos ao longo deste trabalho.

2.5. Dispositivo Portátil de ECG

Existem atualmente diversos tipos de ECG portáteis comercializados para monitorização cardíaca. O objetivo maior destes dispositivos é permitir gravar os sinais de eletrocardiograma durante todo o dia, para permitir diagnosticar os períodos do dia, e as correspondentes tarefas, em que o utilizador apresenta batimentos cardíacos com taxas anormais, ou anomalias nos seus potenciais cardíacos. Nos últimos anos verificaram-se desenvolvimentos interessantes na conceção deste tipo de dispositivo e cujos componentes e configuração têm vindo a convergir para bons desempenhos, pequenos tamanhos e baixos custos. Isto tem vindo a ser possível devido aos avanços nos sistemas embebidos *low-power* e às ferramentas avançadas de processamento digital de sinal. (27)

Nas últimas duas décadas foram desenvolvidos e melhorados vários tipos de algoritmos para análise de ECG, proporcionados, em parte, pelo surgimento de *softwares* como o *MatLab*[®] ou o *Labview*[®]. Por outro lado, com o desenho de circuitos com baixos consumos elétricos, com o surgimento das baterias recarregáveis e com os protocolos de comunicação, as aplicações de ECG foram estendidas ainda para outros equipamentos médicos, como sistemas telemétricos, desfibriladores ou monitorização de doentes. Atualmente é ainda possível avaliar e parametrizar o nível de *stress* ou estudar o efeito do exercício físico. (27)

As maiores áreas de análise de um sistema de ECG são a unidade de *analog front end*, que trata da porção analógica do circuito que precede a conversão analógico-digital. Enquanto que inicialmente os sistemas de monitorização só eram utilizados em situações de risco, atualmente são frequentes no quotidiano das pessoas, através dos dispositivos *wearable*, como os que são representados na figura 19. (28)



Figura 19 Tipos de elétrodos *wearable* de eletrocardiograma. (28)

Entre os principais componentes do *analog front end* devem ser enumerados o amplificador de instrumentação, o *right leg drive* e a filtragem analógica do circuito. Aqui, e como será discutido mais à frente neste documento, existem atualmente duas opções preferenciais para o desenvolvimento de um ECG, que passam pela seleção de componentes discretos e da sua configuração ótima, ou, ao invés disso, a opção por circuitos integrados que existem atualmente (e recentemente) no mercado de fabricantes como a *Texas Instruments* ou a *Analog Devices*. As tecnologias e configurações existentes e as opções tomadas no desenrolar do projeto serão discutidas mais à frente, nos capítulos em que estes componentes serão alvo de estudo.

2.6. Segurança Elétrica

Os efeitos produzidos no corpo pela passagem de uma corrente elétrica terão uma relação direta com a magnitude da corrente que o atravessa e, por isso, utilizaremos a *Lei de Ohm* para analisar o problema,

$$V = I.R$$

onde V é o potencial, I a corrente elétrica e R a resistência. (29)

A maior parte dos tecidos integrantes do corpo humano apresenta uma alta percentagem de água, considerada um bom condutor elétrico. Contudo, a resistência oferecida nas extremidades do corpo limita a quantidade de corrente que circula através do corpo. Esta dependência e a distribuição da circulação da corrente em função da resistência local do tecido, fazem com que exista um número considerável de possibilidades para a propagação da corrente através do corpo. Assim sendo, um utilizador pode-se colocar em contacto com uma diferença de potencial relativamente grande e poder sentir apenas um pequeno choque, mas é igualmente possível o contacto com uma pequena tensão que siga direta para o coração e possa provocar uma fibrilação ventricular. (29)

Por outro lado, sempre que existe uma corrente elétrica a passar através de um elemento resistivo, alguma da energia elétrica é dissipada sobre a forma de calor e, se a temperatura for elevada, pode danificar os tecidos biológicos ou, inclusive, resultar numa queimadura. Esta probabilidade aumenta quando existe uma corrente com intensidade alta a percorrer uma superfície com uma área relativamente pequena. (29)

2.6.1. Normas de Segurança

Existem uma série de perigos associados aos dispositivos médicos, e com particular incidência nos que são suportados por uma fonte energética elétrica. Desta forma, o *International Electrotechnical Committee* (IEC) produz uma série de normas que permitem controlar os aspetos de segurança relacionados com o manuseamento de equipamentos médicos. A norma geral para este propósito é denominada IEC 60601-1 (Requisitos gerais para a segurança básica e desempenho essencial). (30)

2.6.1.1. IEC 60601-1 – *General Requirements for Basic Safety and Essential Performance*

Esta norma tem como objetivo garantir um contacto seguro com o dispositivo médico, que terá de ser conseguido tanto em condições normais de operação como em condições de falha única, não podendo ocorrer riscos inaceitáveis durante o seu tempo espectável de serviço. A compreensão do tipo de adversidades que podem resultar de um dispositivo médico eletrónico é o ponto de partida para a implementação desta norma que regula a proteção contra perigos elétricos, contra perigos mecânicos e contra temperatura excessiva, definindo a exatidão de dados de operação e proteção contra saídas/fugas perigosas. (30)

Existem vários procedimentos obrigatórios para se garantir que o equipamento é seguro e apresenta determinadas configurações e/ou existência de componentes como terras de proteção, ou isolamentos. O diagrama que exemplifica o processo de conformidade com esta norma vem definido na figura 20.

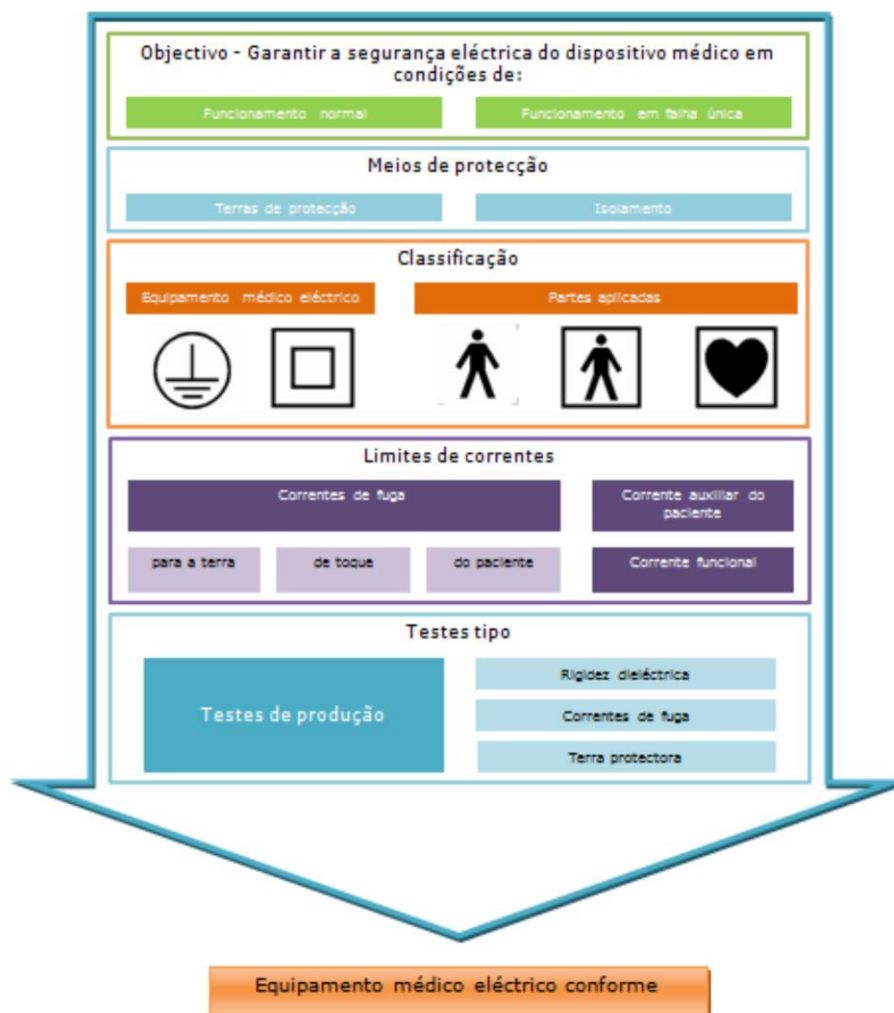


Figura 20 Processo de obtenção da norma IEC 60601-1. (31)

2.6.1.2. Classificação dos Equipamentos

Podem ser definidos dois tipos de dispositivos com alimentação externa em função do tipo de proteção incorporada contra choques elétricos, tendo particular importância o tipo de isolamento que o dispositivo apresenta. Os equipamentos médicos cuja fonte de alimentação é interna não são abrangidos por esta classificação. Assim sendo, existem duas classes (I e II), em que na primeira (I) a proteção contra choques elétricos incluiu o isolamento básico e ainda uma precaução de segurança onde as partes internas de metal apresentam uma ligação à terra de proteção; e na segunda (II) existe isolamento básico e ainda uma precaução de segurança com isolamento duplo ou reforçado. (30)

Será importante atentar nestas considerações, uma vez que será importante decidir se o ECG desenvolvido ao longo deste projeto irá apresentar apenas alimentação interna (bateria ou pilha, por exemplo) ou também externa.

*"Practice isn't the thing you do once you're good.
It's the thing you do that makes you good."
Malcolm Gladwell, in *Outliers* (2008)*

1001101

CAPÍTULO III

Módulo de Aquisição

3. Módulo de Aquisição

Existem dois cenários possíveis no que ao desenho de sistemas de aquisição e processamento de sinal diz respeito. Como é apresentado no esquema da figura 21, é possível realizar, por um lado, o processamento de sinal através de componentes eletrónicos e, por outro, digitalmente.

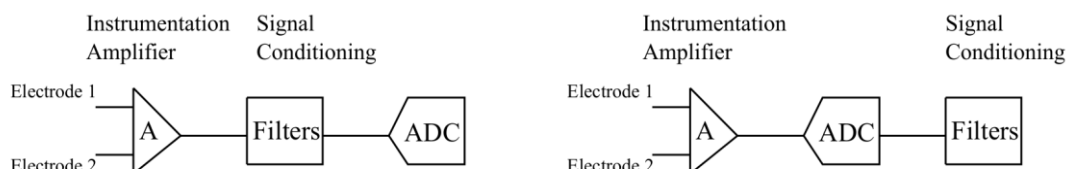


Figura 21 Configuração analógica para o processamento de sinal (esquerda) vs. Processamento de sinal feito por via digital. (32)

O sistema deverá ser escolhido em função das características e amplitudes de um sinal de ECG. Uma vez que os Conversores Analógico-Digital (ADCs) são, habitualmente, os maiores consumidores de energia na cadeia de processamento de sinal, importa comparar os requisitos técnicos de um ADC para cada um dos casos. (32)

Tabela 3 Vantagens e desvantagens de implementações analógicas e digitais.

	Implementação Analógica	Implementação Digital
Resolução	Para se conseguir uma relação sinal-ruído (SNR) de 60 dB é necessário um ADC de 12-bits.	Para atingir o mesmo valor para a relação sinal-ruído (SNR), e uma vez que o sinal advém diretamente do amplificador de instrumentação (presença de <i>offset</i> de cerca de 300 mV DC), será necessária uma resolução de aproximadamente 22 bits para o ADC.
Energia	Algumas dezenas de microwatts.	Consideravelmente maior do que para a implementação analógica (devido à maior resolução necessária).
Área	Muito maior porque é necessário incorporar condensadores e resistências para obter a largura de banda desejada.	Muito menor relativamente à área ocupada pelo ADC na implementação analógica.
Vantagens	Menor energia dispendida.	Menor área e menor número de componentes existentes no sistema.

3.1. Analog Front Ends (AFEs)

Os *Analog Front Ends*, eletronicamente, são definidos como todas as funcionalidades analógicas que estão localizadas entre o sinal a ser processado e/ou transmitido e a passagem para o domínio digital. (33) O grande desafio do domínio analógico neste projeto, contando com as propriedades do domínio digital, é o de conseguir uma filtragem e processamento de sinal ideais utilizando o menor número de dispositivos eletrônicos possível. Na figura 22 apresenta-se um domínio analógico típico de um ECG atual.

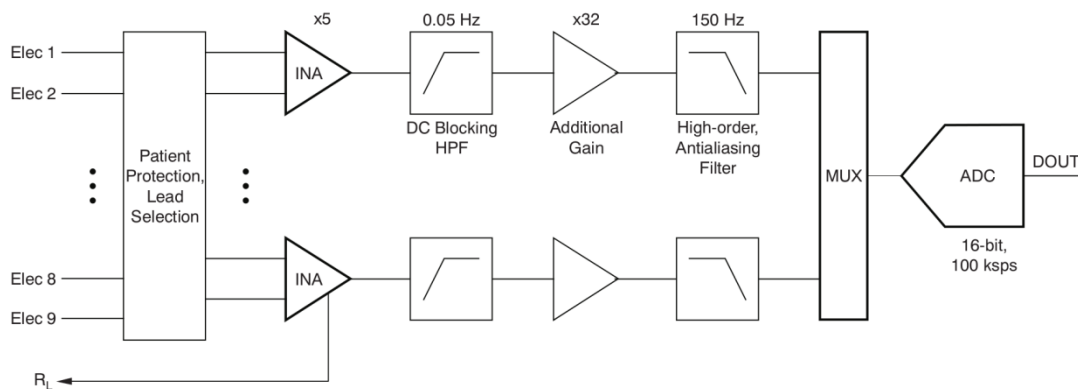


Figura 22 Analog Front End típico de um ECG. (20)

No que ao *hardware* diz respeito, existem atualmente duas grandes possibilidades de construção de um módulo de ECG. Pode-se recorrer à utilização de todos os componentes discretamente, desenhando todo o circuito desde a aquisição de sinal até ao conversor analógico-digital, ou é possível optar por algumas soluções recentes de *analog front ends* integradas.

3.1.1. Soluções Discretas

A opção mais recorrente e mais convencional passa por personalizar o circuito em função dos objetivos que se pretendem atingir com o módulo de ECG. Assim sendo, e em função de variáveis como o consumo energético, portabilidade ou desempenho que se pretende obter, ter-se-á um módulo de aquisição com maior ou menor complexidade. Assim, e tal como o próprio nome indica, serão agrupados os amplificadores de instrumentação, os filtros (passivos ou ativos), os amplificadores operacionais, o(s) ADC(s) e os restantes elementos eletrónicos que se pretendam utilizar em quantidades e configurações variáveis em função dos requisitos pretendidos.

É já sabido que o *output* proveniente do sensor corresponde a um sinal diferencial que se situa no intervalo de 0 - 2.8 mV. Desta forma, será obrigatório conseguir um ganho na ordem de 1000 para se conseguir obter um sinal com algum grau de

utilidade. (34) Para se fazer a avaliação de soluções discretas é necessário estudar aprofundadamente os componentes discretos que permitam, em conjunto, fornecer um sinal, à saída, com a gama de frequências pretendida e com um ganho elevado. Uma vez que os sinais de modo comum provenientes dos elétrodos são iguais, um amplificador de instrumentação cancelará o ruído de modo comum, ao mesmo tempo que amplifica o sinal de entrada. (35) O exemplo da figura 22 mostra um diagrama de blocos com os componentes típicos de um módulo de ECG portátil construído com soluções discretas.

3.1.2. Amplificador Operacional

Os amplificadores operacionais são um dos componentes integrantes mais importantes quando se considera desenhar um módulo de ECG. Devido à ordem de grandeza dos sinais originários dos impulsos elétricos do coração, existe a necessidade de os amplificar de modo a ficarem disponíveis para serem processados e analisados.

Tabela 4 Algumas soluções de amplificadores operacionais existentes.

Nome do Componente	TI – TLV272 (36)	TI – TLV2762 (37)
Corrente por Canal	550 μ A/canal	20 μ A/canal
Largura de Banda	3 MHz	0.5 MHz
Tensão de Alimentação	2.7 – 16 V	1.8 – 3.6 V
CMRR	70 dB	50 dB (min)
Preço	0.46 \$ 1ku	0.85 \$ 1ku

3.1.3. Amplificador de Instrumentação

O mais importante bloco que integra o diagrama de componentes de um ECG portátil e que corresponde, igualmente, ao bloco de maior consumo é o pré-amplificador ou amplificador de instrumentação (IA). Isto porque permite definir o desempenho em termos do coeficiente sinal-ruído e o valor para a rejeição de tensão de modo comum (CMRR). (38) O melhor método para se conseguir obter um ganho elevado, com uma alta impedância de entrada e elevada rejeição de tensão em modo comum (CMRR) é utilizando um amplificador de instrumentação. Utilizando a configuração descrita na figura 23, é possível obter algumas vantagens interessantes. A entrada de modo comum não é amplificada e alteram-se os valores do ganho variando somente o valor de R_{gain} . (39)

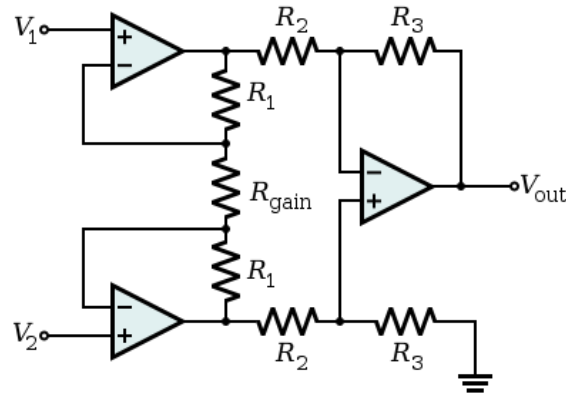


Figura 23 Esquema do amplificador de instrumentação.

A análise do circuito da figura disposta em cima é direta, se forem considerados amplificadores operacionais (*opamps*) ideais. Assim sendo, os curtos-circuitos virtuais nas entradas dos *opamps* iniciais fazem com que as tensões de entrada V_2 e V_1 apareçam nos dois terminais da resistência R_{gain} . Assim, a tensão de entrada diferencial dada por $V_{Id} = V_1 - V_2$ produz uma corrente $I = \frac{V_{Id}}{2R_{gain}}$ que produz uma diferença de tensão entre os terminais de saída dos dois *opamps*. (39)

$$V_{O_2} - V_{O_1} = \left(1 + \frac{2 \cdot R_1}{2 \cdot R_{gain}}\right) \cdot V_{Id}$$

Considerando agora o último *opamp*, a sua tensão de saída é dada pela relação,

$$V_O = \frac{R_3}{R_2} \left(1 + \frac{2 \cdot R_1}{2 \cdot R_{gain}}\right) \cdot V_{Id}$$

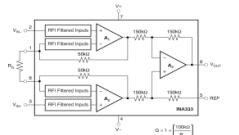
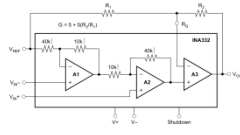
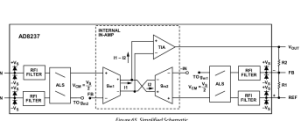
E, por conseguinte, o ganho vai ser dado por,

$$A_d = \frac{V_O}{V_{Id}} = \frac{R_3}{R_2} \left(1 + \frac{2 \cdot R_1}{2 \cdot R_{gain}}\right)$$

Para assegurar que o sinal se apresentará nas gamas de frequência pretendidas será ainda necessário utilizar alguns filtros analógicos, como os que são especificados no capítulo 3.1.4. (40)

Na tabela 5 são mostradas algumas soluções existentes no mercado relativamente aos amplificadores de instrumentação.

Tabela 5 Descrição de algumas soluções existentes no mercado, bem como das suas principais características.

Componente Caraterísticas	TI – INA333 (41)	TI – INA332 (42)	ANALOG – AD8237 (43)
			
Corrente por Canal	50 μA /canal	490 μA /canal	115 μA /canal
Largura de Banda	35 kHz, G=10 V/V	2 MHz, G=25 V/V	100 kHz, G=10 V/V
Tensão de Alimentação	1.8 – 5.5 V	2.5 – 5.5 V	1.8 – 5.5 V
CMRR	100 dB (min), G \geq 10	73 dB (DC) 50 dB (45kHz)	140 db (DC) 80 dB (1kHz)
Ganho	$G = 1 + \left(\frac{100k\Omega}{R_G}\right)$	$G = 5 + 5 \cdot \left(\frac{R_2}{R_1}\right)$	$G = 1 + \frac{R_2}{R_1}$
Preço	1.80 \$ 1ku	0.55 \$ 1ku	0.93 \$ 1ku

3.1.4. Filtros Analógicos

Existem dois grandes tipos de filtros básicos a partir dos quais, e da sua acopolação, se poderá condicionar o sinal. São eles os filtros passa-baixo e passa-alto. Assim, dentro da gama de processamento de sinal em função da frequência encontram-se:

- . Filtros passa-baixo que, idealmente, deixam intactas as frequências inferiores à frequência de corte e rejeitam as frequências para lá da banda pretendida.
- . Filtros passa-alto que, idealmente, deixam intactas as frequências superiores à frequência de corte e rejeitam as frequências mais baixas do que esta.
- . Filtros passa-banda, que permitem a passagem de uma determinada gama de frequências e que rejeitam todas as outras. Normalmente construído conjugando um filtro passa-alto e outro passa-baixo.
- . Filtros *notch* que rejeitam apenas uma banda de frequências específica, e habitualmente muito estreita, e deixam passar todas as outras.

Existem depois filtros que deixam passar todas as frequências mas que, e em função das mesmas, fazem variar a fase do sinal. Contudo, este tipo de filtro não é necessário nem será usado na construção do dispositivo de ECG e, portanto, não será igualmente estudado. (44)

3.1.4.1. Filtros Ativos vs. Filtros Passivos

Os filtros analógicos usados podem ser divididos em duas classes em função dos seus elementos e da função que desempenham. Por um lado encontramos os filtros passivos construídos com resistências, indutores e condensadores, existindo depois os filtros ativos constituídos por transistores ou *opamps*. (44) Entre as principais vantagens dos filtros ativos encontramos:

- . Não existência de perdas de inserção, uma vez que com a utilização de *opamps* é possível obter grandes impedâncias na entrada e baixas impedâncias na saída. Por outro lado, em filtros ativos é possível atenuar frequências não-desejáveis e amplificar apenas as frequências desejáveis.
- . Sintonização, já que os filtros ativos são facilmente ajustáveis numa gama larga de frequências sem alterar a resposta desejada.
- . Melhor isolamento, devido igualmente à possível alta impedância de entrada que assegura que a interação entre o filtro e o exterior é mínima.
- . Custos, uma vez que os componentes utilizados nos filtros ativos são consideravelmente mais económicos do que os indutores, porque estes não são passíveis de ser incluídos em circuitos integrados (IC) e, conseqüentemente, não podem ser produzidos em massa.

3.1.4.2. Utilização de Amplificadores Operacionais em Filtros Analógicos – Resposta de um filtro ideal vs. Resposta de um filtro real

Um filtro ideal é caracterizado pelo valor da frequência de corte (f_c) e pretende, tal como referido em cima, remover uma gama de frequências de um sinal.

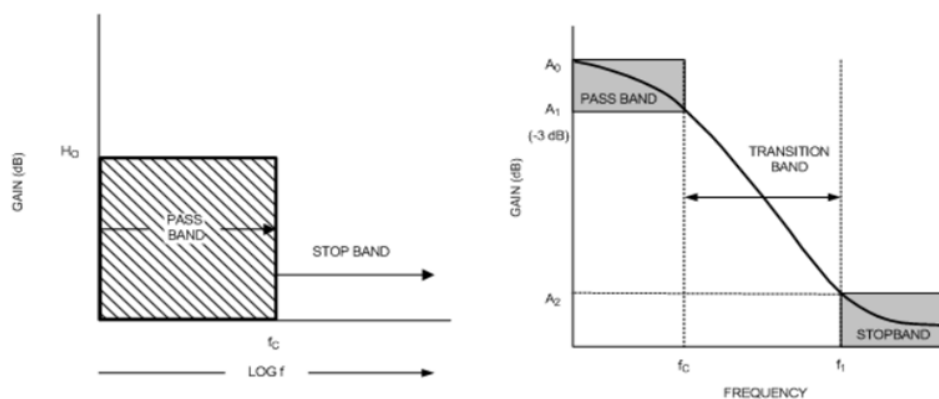


Figura 24 Exemplo da resposta de um filtro passa-baixo ideal (à esquerda) e resposta de um filtro passa-baixo real (à direita). (44)

Verifica-se que existe uma considerável variação entre aquilo que é considerado um filtro ideal e o que acontece com um filtro real, existindo uma zona com ganho variável na banda de frequências junto da f_c e não havendo uma passagem assertiva entre a zona de passagem e de rejeição de banda.

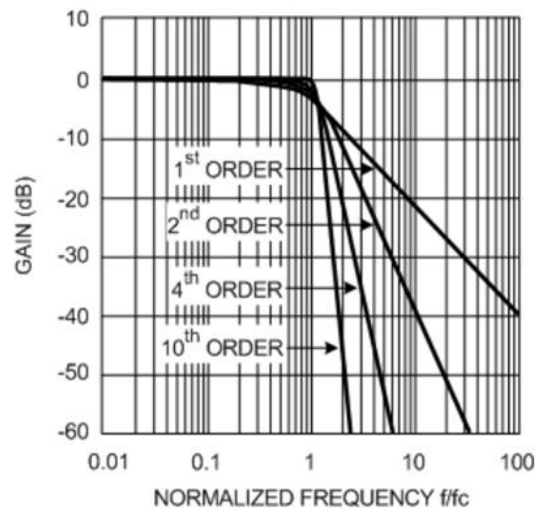


Figura 25 Exemplo da resposta em amplitude de um filtro passa-baixo (*butterworth*) em função dos andares do filtro. (44)

3.1.4.3. Filtros Passa-Baixo de Primeira Ordem

O maior desafio na utilização deste tipo de soluções discretas é obter a resposta em frequência correta. O sinal relevante de ECG situa-se entre os 0.05 e os 100 Hz, ainda que os movimentos do paciente introduzam uma corrente DC que pode saturar o ganho do *opamp*, caso este seja demasiado alto antes da remoção do ruído. (34) Essa é a razão para que, inicialmente, o sinal seja ligeiramente amplificado com a utilização do amplificador de instrumentação e, só depois da filtragem analógica, se amplifique devidamente o sinal (para atingir valores próximos de 1V), como é visível no exemplo da figura 22.

Um filtro ativo passa-baixo pode ser obtido a partir de um *opamp* inversor adicionando um condensador (C) em paralelo com a segunda resistência (R_2).

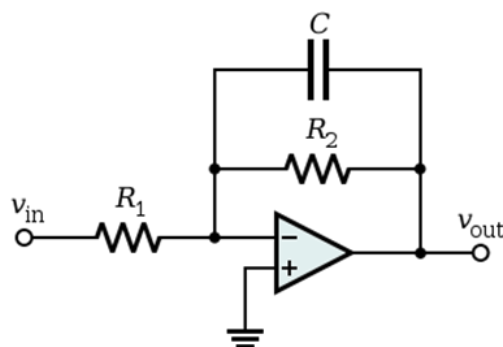


Figura 26 Filtro ativo passa-baixo.

A função de transferência do filtro passa-baixo da Figura 26 é dada por,

$$H(s) = \frac{\omega_c}{s + \omega_c}$$

onde ω_c é igual a $\frac{1}{RC}$ e s igual a $j\omega$. (44)

Para calcular o ganho do circuito,

$$\frac{V_{out}}{V_{in}} = -\frac{R_2 \parallel \frac{1}{C \cdot s}}{R_1} = -\frac{R_2}{R_1} \left(\frac{1}{1 + R_2 \cdot C \cdot s} \right)$$

Assim sendo, para a corrente contínua (DC), quando o valor de $s = j\omega$ for igual a 0 o ganho mantém-se igual. Para altas frequências vai-se ter que $R_2 \cdot C \cdot s \gg 1$ e o ganho diminui até ser praticamente anulado:

$$\frac{V_{out}}{V_{in}} \approx -\left(\frac{1}{R_1 \cdot C \cdot s} \right) = -\left(\frac{1}{R_1} \right)$$

A frequência de corte será dada pela equação,

$$f_c = \frac{1}{2\pi R_2 C}$$

3.1.4.4. Filtros Passa-Alto de Primeira Ordem

O mesmo se passa para um filtro passa-alto. A diferença encontra-se na localização do condensador (C), que desta feita se encontra em série com a resistência de entrada R_1 .

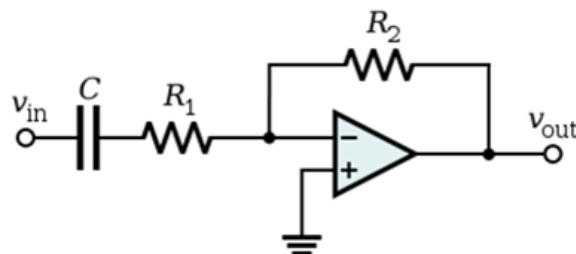


Figura 27 Filtro passa-alto de primeira ordem.

Aqui, para calcular o ganho do circuito,

$$\frac{V_{out}}{V_{in}} = -\frac{R_2}{R_1 + \frac{1}{C \cdot s}} = -\frac{R_2 C \cdot s}{1 + R_1 C \cdot s}$$

Assim sendo, para correntes contínuas (DC), em que o valor de $s = j\omega$ é 0, o ganho é igual a 0. Para altas frequências vamos ter $R_2 \cdot C \cdot s \gg 1$ e o ganho tende para o valor 1, que corresponde a uma tensão de saída igual à tensão de entrada.

A frequência de corte para o filtro passa-alto será dada pela equação,

$$f_c = \frac{1}{2\pi R_1 C}$$

Vemos descrita, na equação que se segue, a constante de tempo τ da frequência de corte,

$$\tau = \frac{1}{f_c \times 2 \cdot \pi} = R_1 \cdot C$$

onde f_c equivale à frequência de corte e R e C à resistência e à capacidade elétrica, respetivamente. (32)

3.1.4.5. Filtros Passa-Banda

Como já foi referido previamente, o filtro passa-banda resulta do agrupamento de um filtro passa-alto e de outro filtro passa-baixo.

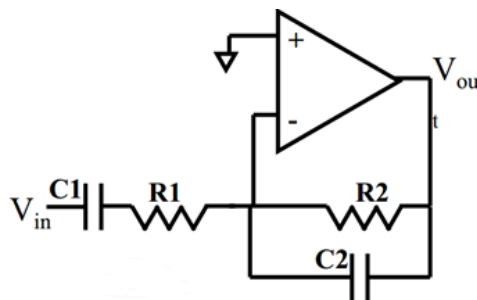


Figura 28 Exemplo de um filtro ativo passa-banda.

Neste caso, iremos ter para o ganho do circuito,

$$\frac{V_{out}}{V_{in}} = - \frac{R_2 \parallel \frac{1}{C_2 \cdot s}}{R_1 + \frac{1}{C_1 \cdot s}} = - \left(\frac{1}{1 + R_2 \cdot C_2 \cdot s} \right) \left(\frac{R_2 \cdot C_1 \cdot s}{1 + R_1 \cdot C_1 \cdot s} \right)$$

E, conseqüentemente, as frequências de corte virão iguais a:

$$f_{cL} = \frac{1}{2\pi R_1 C_1}$$

$$f_{cH} = \frac{1}{2\pi R_2 C_2}$$

3.1.4.6. Filtros Notch (50/60 Hz)

Um dos maiores problemas no que diz respeito à detecção e ao processamento de biopotenciais é a interferência proveniente da alimentação de energia. Estas frequências são usualmente simples de remover com recurso a um simples amplificador diferencial, que servem para eliminar sinais de modo comum através do *Right Leg Drive* que vem descrito à frente com maior pormenor. Contudo, e infelizmente, esta interferência de 50/60 Hz corresponde à banda de frequências onde os biopotenciais têm a sua maior energia, tendo de se recorrer a um filtro *notch* para rejeitar, tal como foi previamente dito, esse intervalo de frequências. (45)

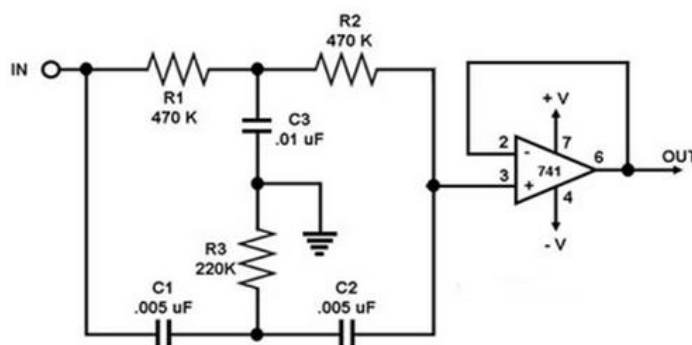


Figura 29 Esquema de um filtro *notch*.

3.1.5. Conversor Analógico-Digital

Um conversor analógico-digital (ADC) é um dispositivo que tem como objetivo converter uma quantidade física num valor digital. Esta conversão, que habitualmente envolve variáveis elétricas, é feita periodicamente e origina uma sequência de valores numéricos que traduzem a variação do parâmetro físico em função do tempo. Um dos parâmetros mais importante que diferenciam um ADC é a resolução (número de valores discretos disponíveis para amostrar o sinal, expresso em número de bits). (39)

3.1.5.1. ADC de menor resolução (≤ 16 bits) vs. ADC de maior resolução (24 bits)

Uma das grandes dificuldades do processamento de sinais de ECG advém do facto destes serem adquiridos com valores de amplitude baixos e com altos níveis de ruído/interferência.

Assim sendo, relativamente à escolha dos Conversores Analógico-Digitais (ADC), vão existir duas possibilidades que passam pela opção por um ADC de baixa (≤ 16 bits) ou alta (24 bits) resolução. Aquando da utilização de *low-noise amplifiers* (LNA) pode-

se obter um elevado ganho sobre o sinal inicial, na ordem de 500, podendo ser utilizado um ADC de baixa resolução. (46) Aqui, deve ser tido em consideração que o ruído do amplificador (*Amp noise*, na figura 30) que é amplificado não domina o ruído geral do sistema, como se pode observar no diagrama da figura 30.

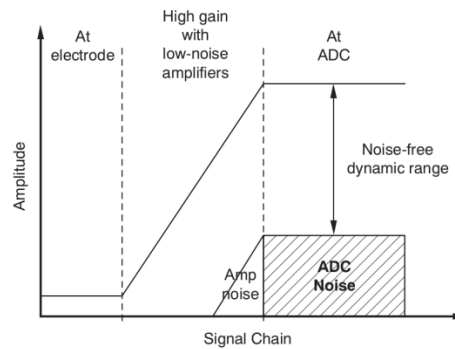


Figura 30 Sinal com um ADC de menor resolução. (20)

Por sua vez é possível utilizar um ganho menor (na ordem de 5) e um ADC de alta resolução, ainda que o *noise-free dynamic range* se mantenha igual. Ainda assim, esta decisão tem um impacto bastante significativo nas especificações dos componentes individuais do sistema e no seu custo total, que é um dos fatores referenciados para ter em conta. Aqui, a utilização de um ADC de alta resolução reduz consideravelmente o *hardware* necessário e, conseqüentemente, as implicações relativamente ao custo e ao consumo. Na figura 31 encontra-se especificada a amplitude do sinal de ECG e do respetivo ruído com a utilização de um ADC de alta resolução.

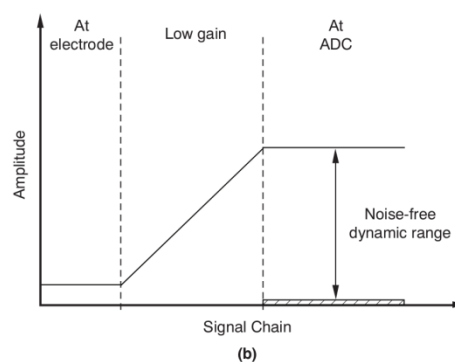


Figura 31 Sinal com um ADC de maior resolução. (20)

3.1.5.2. Amostragem Sequencial vs. Amostragem Simultânea

No que à amostragem diz respeito também existem duas possibilidades distintas de análise. Por um lado, pode-se requerer um ADC dedicado para cada canal, analisando-se todos os canais simultaneamente, contudo, pode-se multiplexar os sinais provenientes dos diferentes canais, fazendo com que um único ADC consiga digitalizar todos os sinais, ainda que sequencialmente. (20)

Na figura 32 mostra-se um exemplo de um sistema de aquisição de ECG com amostragem simultânea.

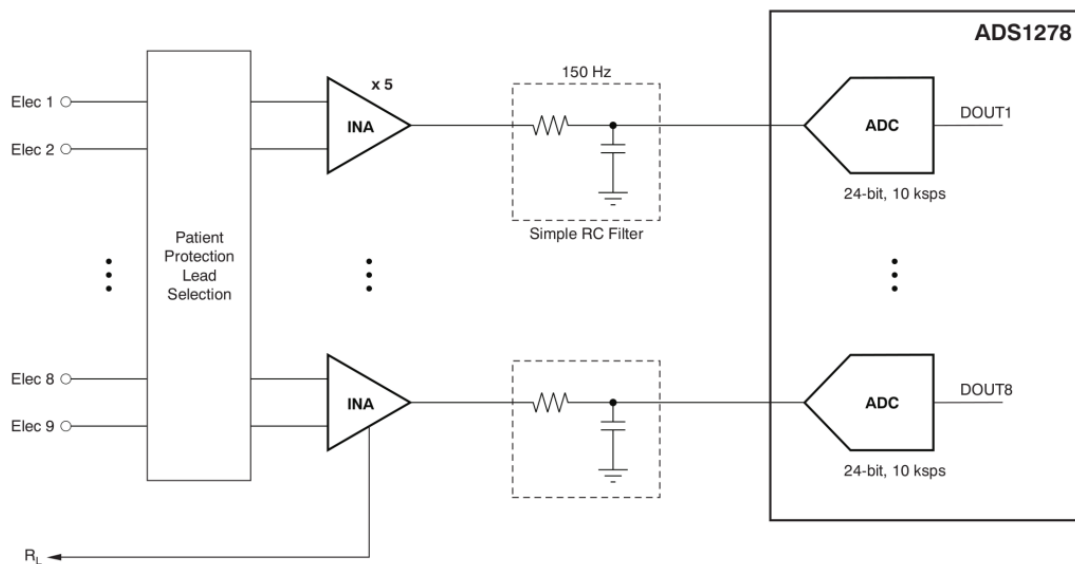


Figura 32 Sistema de aquisição de ECG com amostragem simultânea. De reparar na existência de vários ADCs de alta resolução mas de baixa velocidade (10 kpsps). (20)

Neste caso, uma amostragem sequencial reduzirá o *hardware* necessário. Porém, também fica óbvio que a velocidade de aquisição do ADC deverá ser razoavelmente maior do que para amostragens simultâneas. Aqui, esta velocidade de aquisição do ADC necessitará de ser tanto maior quanto maior for o número de canais que o dispositivo de ECG contiver. Isto implica que se utilize um ADC com alta taxa de amostragem, que requer igualmente maior energia. Aqui, a solução terá de passar por algoritmos de *software* que permitam interpolar a amostra de dados adquiridos para uma reconstrução do sinal. (20)

Assim sendo, se estivermos à procura de um sistema com o mínimo *hardware* possível, a utilização de um ADC com alta resolução (24 bits) e de alta velocidade de aquisição (100 kpsps) permite uma poupança no número de componentes que poderá ser relevante para as dimensões do dispositivo.

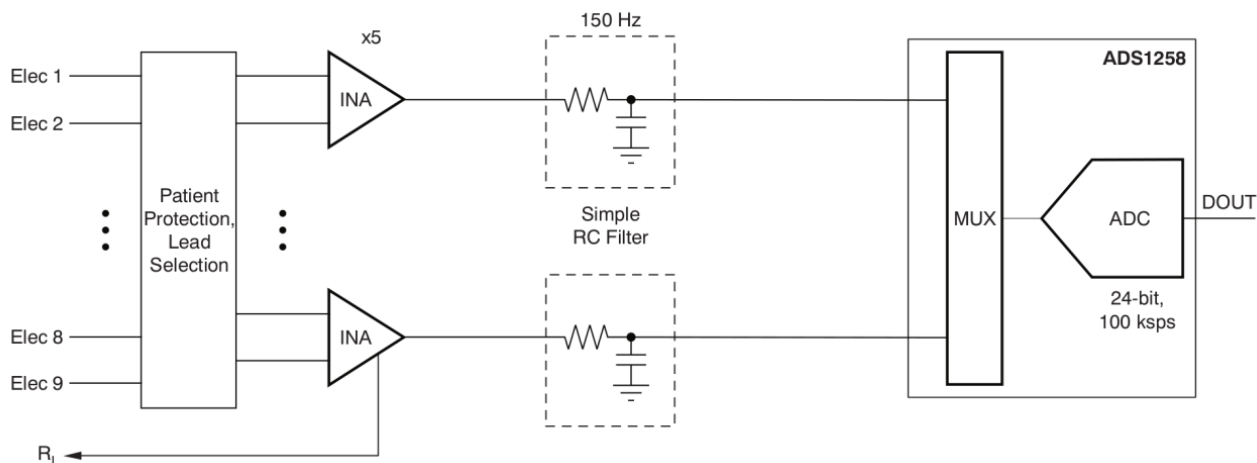
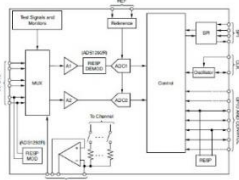
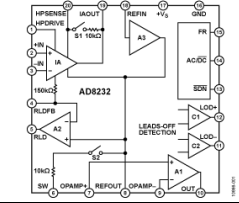


Figura 33 Sistema de aquisição de ECG com amostragem sequencial. Aqui só se utiliza um ADC de elevada resolução, mas com alta velocidade (100 kpsps). (20)

3.2. Soluções Integradas - *Integrated Analog Front Ends*

Foram recentemente lançadas soluções integradas que incorporam todos os componentes usualmente requeridos num equipamento médico de ECG portátil. A gama de *Analog Front Ends (AFEs)* integrados da *Texas Instruments* apresenta uma solução com multicanais e amostras simultâneas, com ADCs até 24 bits e com amplificadores de ganho programáveis (PGAs). Este tipo de sistema integrado apresenta inúmeras vantagens em termos de tamanho, energia dispendida ou ainda em termos de custo. (47)

Tabela 6 Opções de dois *Integrated Analog Front Ends* passíveis de serem utilizados no sistema a desenvolver.

Nome do Componente	TI – ADS1192 (48)	ANALOG – AD8232 (49)
		
Corrente por Canal	25 μA /canal	170 μA /canal
Tensão de Alimentação	2.7 – 5.25 V	2 – 3.5 V
CMRR	95 dB (60 kHz)	80 dB (60kHz)
Ganho	Programável (1 até 12)	G(máx) = 100V/V
Preço	4.20 \$ 1ku	1.36 \$ 1ku

3.2.1. ADS1192, Texas Instruments

O circuito integrado (IC) ADS1192 oferecido pela Texas Instruments faz parte de um conjunto de soluções desenvolvidas especificamente para aplicações em instrumentação médica e medição de biopotenciais. Serão descritas as suas principais características e as razões que levaram à seleção desta solução integrada para o desenvolvimento do módulo de aquisição de ECG.

3.2.1.1. Características

Esta gama de circuitos integrados tem a particularidade de possuir não apenas os amplificadores de aquisição de sinal, mas igualmente o conversor analógico-digital (ADC), incluindo as características desejáveis para se poder projetar um eletrocardiograma portátil e com baixos consumos.

Este IC apresenta um consumo na ordem dos $335 \mu W$ por cada canal que se queira medir, possui um ADC delta-sigma de 16 bits, um CMRR (Rácio de rejeição de modo comum) de -95 dB e um ganho programável, com valores de 1 a 12.

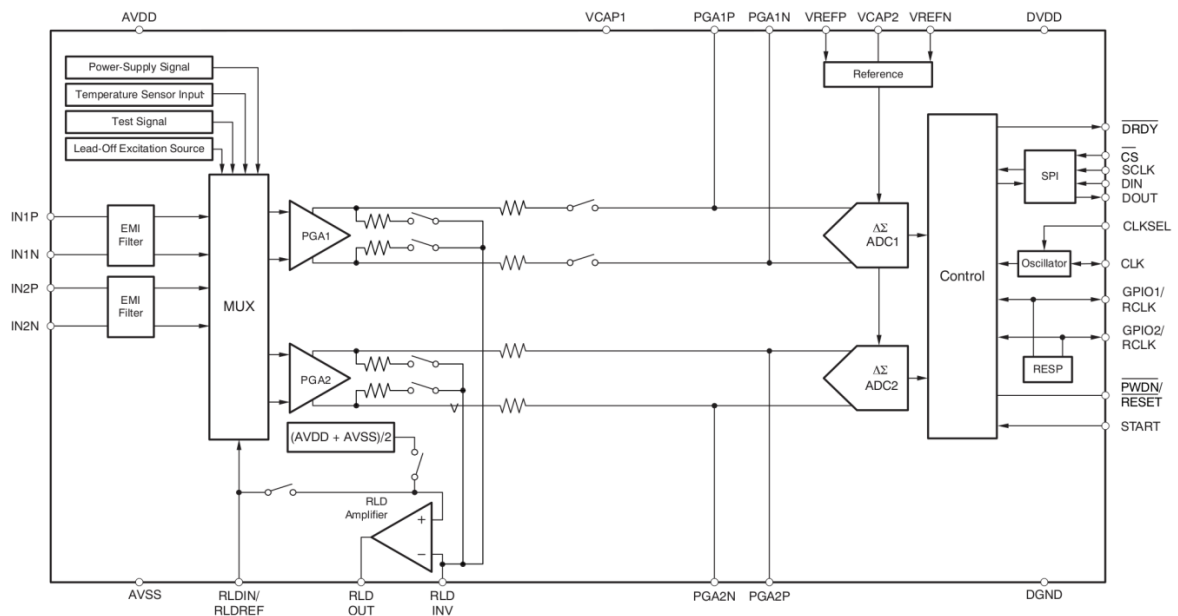


Figura 34 Diagrama de blocos do circuito integrado ADS1192 da *Texas Instruments*. (48)

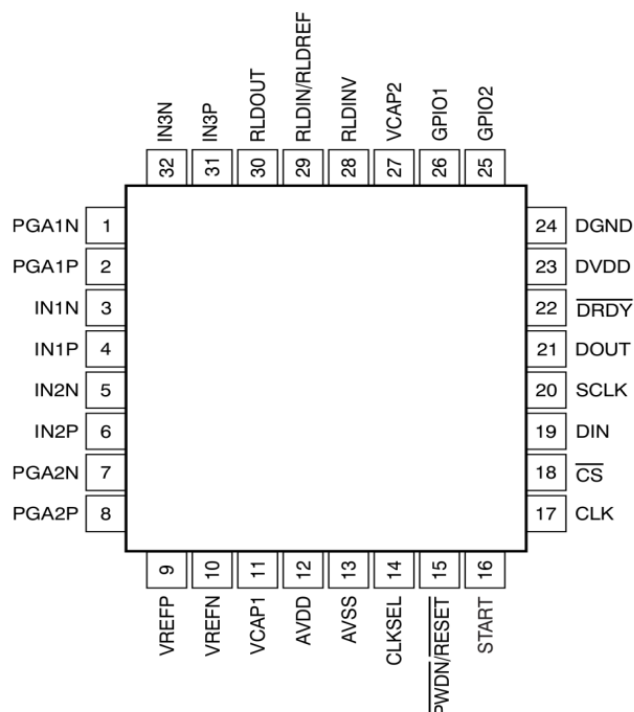


Figura 35 Configuração dos pinos do chip ADS1192. (48)

Tabela 7 Nome e função de cada pino do IC ADS1192. (48)

Nome	Terminal	Função	Descrição
AVDD	12	Alimentação	Fornecimento energético
AVSS	13	Alimentação	Terra Analógica
CS	18	Entrada Digital	Seleção do chip
CLK	17	Entrada Digital	Entrada do sinal <i>clock</i>
CLKSEL	14	Entrada Digital	Seleção do sinal <i>clock</i>
DGND	24	Alimentação	Terra
DIN	19	Entrada Digital	Entrada de dados SPI
DOUT	21	Saída Digital	Saída de dados SPI
DRDY	22	Saída Digital	Preparação de dados <i>Active low signal</i>
DVDD	23	Alimentação	Alimentação digital
GPIO1/RCLK1	26	Entrada/Saída Digital	GPIO1
GPIO2/RCLK2	25	Entrada/Saída Digital	GPIO2
IN1N	3	Entrada Analógica	Entrada diferencial analógica negativa 1
IN1P	4	Entrada Analógica	Entrada diferencial analógica positiva 1
IN2N	5	Entrada Analógica	Entrada diferencial analógica negativa 2
IN2P	6	Entrada Analógica	Entrada diferencial analógica positiva 2
PGA1N	1	Saída Analógica	Saída diferencial analógica negativa 1
PGA1P	2	Saída Analógica	Saída diferencial analógica positiva 1
PGA2N	7	Saída Analógica	Saída diferencial analógica negativa 2
PGA2P	8	Saída Analógica	Saída diferencial analógica positiva 2
PWDN/RESET	15	Entrada Digital	Corte energético Reset do sistema <i>Active low signal</i>

RLDIN/RLDREF	29	Entrada Analógica	Entrada da <i>Right Leg Drive</i> para a referência MUX/RLD
RLDINV	28	Entrada Analógica	Entrada invertida da <i>Right Leg Drive</i>
RLDOUT	30	Saída Analógica	Saída analógica da <i>Right Leg Drive</i>
IN3N	32	Entrada/Saída Analógica	Entrada diferencial analógica negativa 3
IN3P	31	Entrada/Saída Analógica	Entrada diferencial analógica positiva 3
SCLK	20	Entrada Digital	<i>SPI Clock</i>
START	16	Entrada Digital	Conversão de arranque
VCAP1	11	-	Condensador analógico de <i>bypass</i>
VCAP2	27	-	Condensador analógico de <i>bypass</i>
VREFN	10	Entrada Analógica	Tensão negativa de referência
VREFP	9	Entrada/Saída Analógica	Tensão positiva de referência

3.2.1.2. Filtragem no Circuito Integrado ADS1192

De acordo com o diagrama funcional do circuito integrado (IC) ADS1192 da figura 34, verifica-se a existência de um filtro de interferência eletromagnética (EMI), que é composto por uma resistência e um condensador (filtro RC). Neste componente, a largura de banda do filtro -3 dB é de 3 MHz.

Depois, após o amplificador com ganho programável (PGA) existe novamente uma filtragem por um filtro RC, que atua como um filtro *anti-aliasing*.

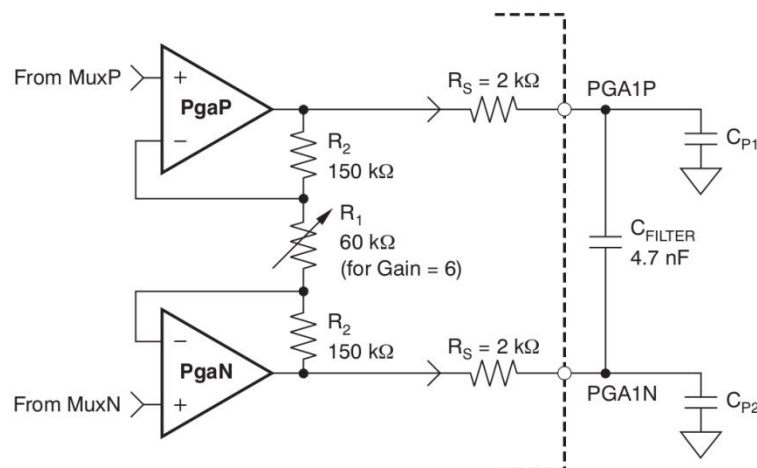


Figura 36 Filtragem após os amplificadores de ganho programável. (48)

É necessário ter particular atenção com o valor selecionado para o C_{filter} visto que, por um lado, um valor maior serve para atenuar altas frequências com a funcionalidade de *anti-aliasing*, mas por outro esse aumento degrada a Distorção Harmónica Total (THD), como se pode ver no gráfico seguinte.

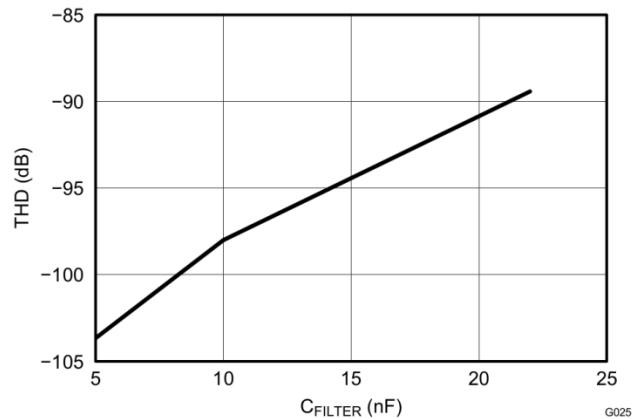


Figura 37 Performance da THD em função do C_{filter} . (48)

3.2.1.3. Tensão de Referência

A tensão de referência é um importante bloco no diagrama de muitos circuitos analógicos e digitais e o seu desempenho é afetado pela variação máxima nas suas condições de operação. Uma das principais especificações de uma referência é a sua variação com a temperatura, o que leva a uma especial atenção do comportamento térmico da tensão de referência. (50)

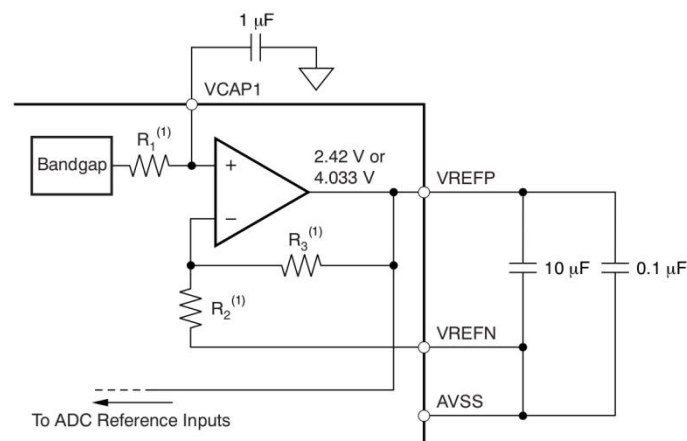


Figura 38 Tensão de referência interna proposta para o circuito integrado ADS1192. Para $V_{Ref} = 2.42 V$, $R_1 = 100 k\Omega$, $R_2 = 200 k\Omega$ e $R_3 = 200 k\Omega$ e para $V_{Ref} = 4.033 V$, $R_1 = 84 k\Omega$, $R_2 = 120 k\Omega$ e $R_3 = 280 k\Omega$ (48)

Quando a alimentação usada é de 3V, a referência interna deve ser ajustada para os 2.42V e, por sua vez, quando a alimentação é de 5V, a referência interna deverá ser de 4.033V, com os respectivos valores para as resistências de acordo com o que se pode ver na figura 38.

3.2.1.4. Alimentação de Energia

O chip ADS1192 tem duas fontes de energia que são dadas pelos pinos AVDD e DVDD e cujo ruído tem de ser minimizado com dois condensadores conectados em paralelo, de $1\mu F$ e $0.1\mu F$. Por sua vez, o fabricante recomenda que a disposição dos circuitos digitais (DSP, Microcontroladores, FPGAs, ...) seja feita de forma a que o retorno da corrente não atravesse as ligações da alimentação analógica do circuito. É feita ainda referência para que os condensadores ligados à alimentação, referência, VCAP1 e VCAP2, se encontrem o mais próximo do dispositivo possível. (48)

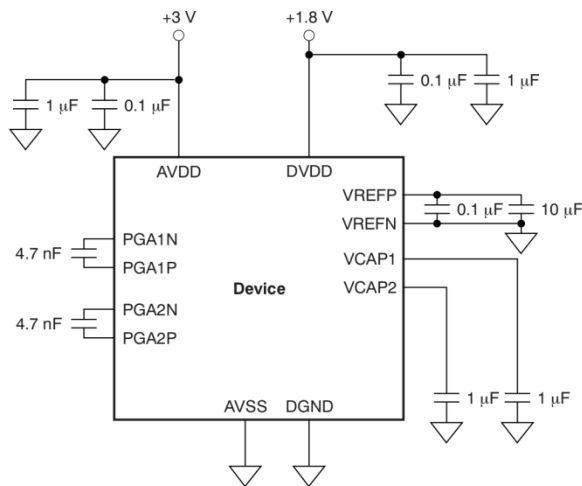


Figura 39 Conexão do dispositivo para alimentação unipolares (3V / 1.8V). (48)

3.2.2. Demoboard ADS1292R, Texas Instruments

Da pesquisa realizada resultou igualmente a descoberta de um módulo de ECG proposto pela *Texas Instruments* que contém já todos os componentes eletrónicos integrantes de um módulo de aquisição, bem como o *software* e a interface que permitem a amostragem digital dos dados recolhidos. Por se julgar importante para a perceção e melhor entendimento de uma placa de aquisição de ECG, foi feita a encomenda desta solução e procedeu-se à sua análise e teste.

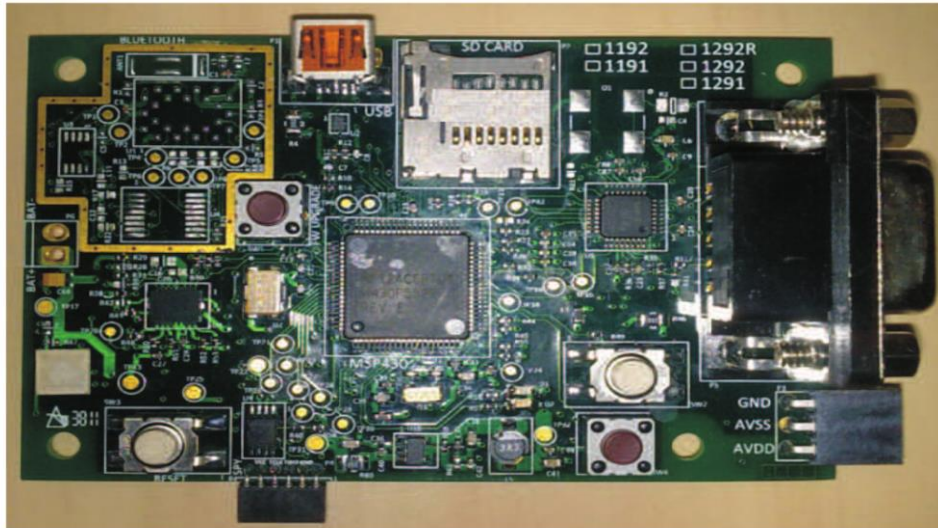


Figura 40 ADS 1292R Demonstration Kit. (51)



Figura 41 Software da Demoboard ADS1292R. (51)

3.2.3. Utilização do ADS1192

Nesta fase do trabalho são já perceptíveis as vantagens inerentes à utilização do ADS1192. Para além de ter sido desenvolvido com o intuito de ser utilizado em sistemas de instrumentação médica e, mais especificamente, em ECGs, estando adaptado para uma gama de sinais muito baixa (na escala do miliVolt), apresenta a grande vantagem de ter o conversor A/D incorporado, o que facilita a estrutura do sistema a desenvolver.

Por outro lado, preenche alguns dos mais importantes requisitos que tinham sido identificados para a elaboração de um sistema deste género. Apresenta um valor altamente desejado para o CMRR (-95dB), um consumo energético muito baixo (335 μ W/canal) e dimensões muito reduzidas. (48)

Assim sendo, a estrutura do sistema e, conseqüentemente, os próximos capítulos deste documento virão influenciados e adaptados para a utilização do ADS1192.

3.3. Configurações

Neste capítulo é feita uma análise das partes integrantes de um módulo de ECG e que poderão ser incluídas na solução apresentada.

3.3.1. Proteção de Alta Tensão e Isolamento Elétrico

Os sistemas de medição de biopotenciais, como é o caso do ECG, podem encontrar voltagens anormalmente altas, como aquelas provenientes de desfibriladores elétricos e que podem danificar o instrumento. (52) Existem, por exemplo, fontes externas de alta tensão que podem provocar choques elétricos, como a própria fonte de energia ou, por exemplo, um desfibrilador, quando incorporado, pode provocar choques na ordem dos 1500V até aos 5000V. Contudo, e uma vez que a incorporação de um desfibrilador não passa pelos objetivos do desenvolvimento deste módulo de ECG, esta situação não é aplicável. Ainda assim, é de particular importância o isolamento elétrico a aplicar no dispositivo que permita proteger não apenas o paciente como, também, o circuito e os componentes do próprio módulo de ECG.

Uma vez que a primeira preocupação na conceção de um ECG deve ser a segurança do paciente, é deveras importante que quer o paciente quer o operador se encontrem devidamente protegidos de fontes de energia, das altas tensões referidas acima e de qualquer corrente proveniente dos elétrodos do ECG que poderão ultrapassar o limite recomendado de 10 μ A (rms) (53).

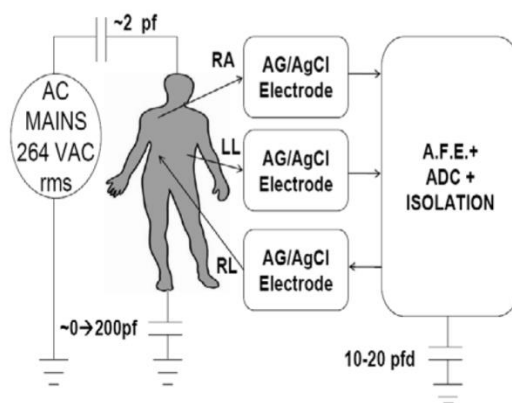


Figura 42 Principais ligações ao paciente num ECG. (53)

A análise que deve ser feita vai no sentido de entender as aplicações pretendidas no ECG e as ligações externas, que possam resultar em correntes aplicadas ao paciente. A segurança do paciente e do operador pode ser conseguida quando a corrente aplicada é limitada ao valor acima referido - $10 \mu A$ (rms) - mesmo na ocorrência de falhas. É fundamental que o paciente esteja protegido de choques elétricos acidentais, ao mesmo tempo que o dispositivo de ECG tem de estar protegido de voltagens extremas, como aquelas provocadas por um desfibrilador.

Assim sendo, os *front ends* dos instrumentos de medição de sinais de electrocardiograma devem estar desenhados para impedir o surgimento dessas alta voltagens. Para isso, a utilização de altas resistências de entrada vai permitir limitar a corrente nos canais e no instrumento, enquanto que as altas voltagens vão ser impedidas pelo uso de díodos ou díodos de Zener que conduzindo a 0.7 V (voltagem de condução do díodo) ou entre 10 e 15 V (depende da tensão de corte do díodo de Zener), por exemplo, protegem os componentes de amplificação. (54)

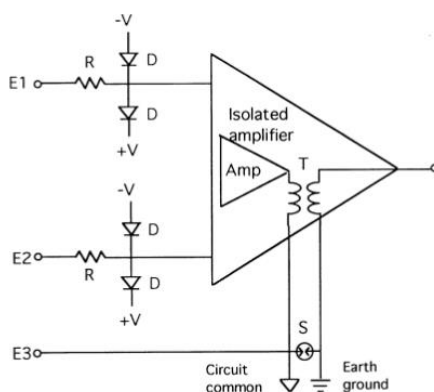


Figura 43 – Circuito de proteção do sistema. Neste caso, a resistência R limita a corrente, os díodos D limitam a tensão de entrada e a *spark gap* S protege contra a desfibrilação do transformador de isolamento T. (54)

O isolamento elétrico tem como função limitar a possibilidade de passagem de qualquer fuga de corrente do dispositivo/módulo para o paciente. (55) Este isolamento pode ser conseguido eletricamente adicionando um transformador no percurso do sinal, ou ainda, recorrendo a uma solução como um acoplador ótico, como é mostrado na figura 44.

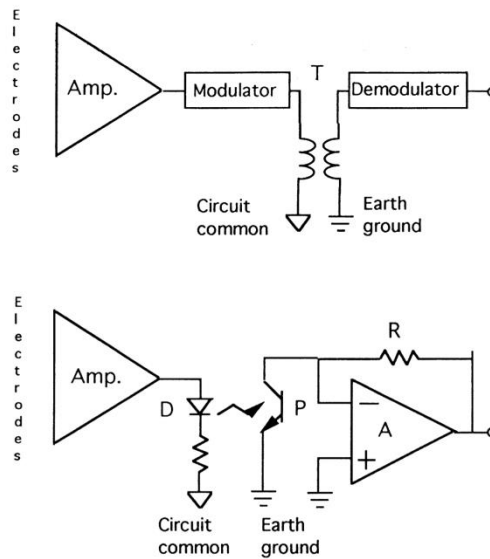


Figura 44 Isolamento elétrico. Pode ser conseguido através da acoplação de um transformador (note-se a separação feita pelo transformador entre o circuito do lado do amplificador e a ligação à terra) ou utilizando um díodo D e um fotodetetor P. (54)

3.4. *Right Leg Drive*

Nos eletrocardiogramas o utilizador não se encontra eletricamente ligado à terra. Em vez disso encontra-se conectado, através do eléctrodo ligado à sua perna direita, a um amplificador operacional auxiliar. Assim, a tensão de modo comum no corpo que é medida através das duas resistências intermédias existentes no amplificador de instrumentação é invertida, amplificada e reinviada para a perna direita. (56)

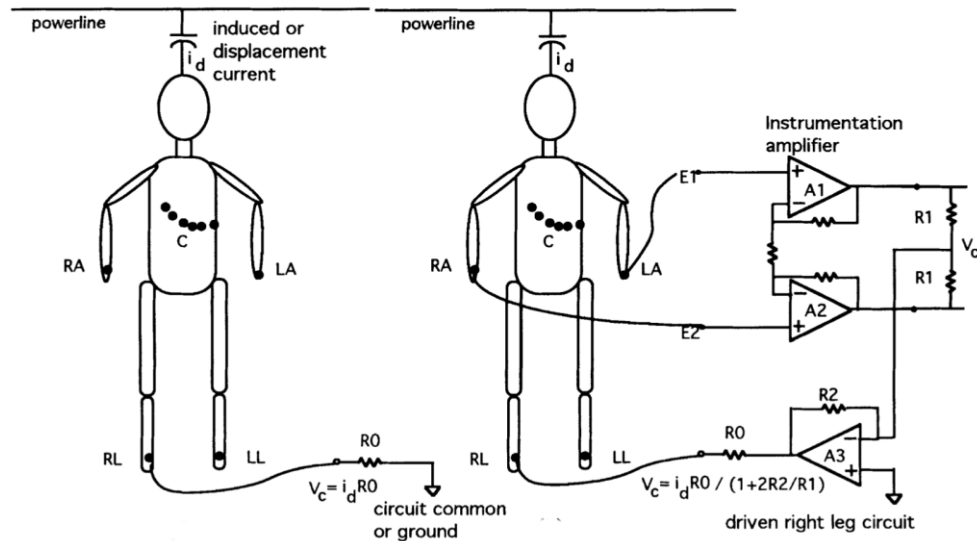


Figura 45 No lado esquerdo é visível a interferência elétrica induzida pela deslocação da corrente I_d a partir da rede de alimentação elétrica, originando uma tensão de modo comum V_c pelo seu fluxo até à ligação à terra. Por sua vez, do lado direito, está esquematizado o circuito de *Right Leg Drive* com feedback negativo e que permite minimizar a tensão de modo comum. (54)

Recorrendo a esta conexão, a corrente vai circular não para a ligação à terra mas para a saída do circuito do amplificador operacional. Isto vai reduzir a interferência desde que o amplificador proteja e isole corretamente o paciente. (57)

O *Right Leg Drive* fornece ainda alguma segurança elétrica uma vez que, no surgimento de uma tensão anormalmente alta ou, por exemplo, de um curto-circuito, o amplificador operacional A_3 vai saturar, isolando o utilizador, uma vez que o amplificador não consegue conduzir corrente através da perna direita. Desta forma, as resistências R_1 e R_2 da figura 45 ficam entre o utilizador e a terra e, uma vez que estas atingem valores na grandeza de megaohms, são suficientes para limitar a corrente. (56)

O circuito integrado apresentado acima, o ADS1192 da *Texas Instruments*, apresenta um bloco versátil de *Right Leg Drive* que permite ao operador escolher a combinação de eletrodos para gerar o sinal a acoplar à perna direita. (48)

3.5. Remoção da *Baseline Drift*

A *baseline drift*, tal como foi definida no capítulo anterior, é um ruído de baixa frequência que se deve a pequenos movimentos corporais, efeitos de respiração ou devido à transpiração e que, devido à maior impedância criada nos elétrodos, gera uma tensão de *offset* que corrompe o sinal de ECG. A sua remoção pode ser feita através da utilização de *hardware* ou *software*. (20)

Assim sendo, e caso se opte pelo recurso ao *hardware*, deve ser definida uma frequência de corte que permita manter o sinal de ECG intacto e que, usualmente, é definida recorrendo ao mínimo batimento cardíaco. Uma vez que este valor pode descer até aos 40 batimentos por minuto (bpm), originando um sinal com uma frequência de 0,67 Hz, e devido à falta de precisão atribuída a este valor, adota-se habitualmente o valor de 0,5 Hz para a frequência de corte. Por ter uma frequência de corte tão baixa, o sistema requer a utilização de condensadores e importa ainda que o filtro a utilizar tenha fase linear para evitar distorção de fase, levando a alterações temporais no ciclo cardíaco. (20)

Desta forma, utilizam-se habitualmente nas configurações dois estágios de ganho, em que o primeiro serve para amplificar todo o sinal, aplicando-se depois o filtro passa-alto que remove o desvio da linha de base (*baseline drift*) e, por fim, amplifica-se novamente o sinal, mais limpo, e com um valor de ganho consideravelmente maior. (10)

Por outro lado, realizar a filtragem no domínio digital apresenta a vantagem de ter maior flexibilidade, uma vez que se podem usar vários tipos de filtros e configurações.

*"What you do is what matters,
not what you think or say or plan."
Jason Fried, in *Rework* (2010)*

1001101

CAPÍTULO IV

Hardware

4. Hardware

Após o processo de análise, estudo e planeamento do projeto que vem retratado nos capítulos anteriores, este capítulo apresenta a parte mais prática do projeto. Aqui inserem-se as explicações das decisões e considerações tomadas no desenho do *hardware* e no processo de desenvolvimento da *Printed Circuit Board* (PCB).

Com base naquilo que foi estudado nas fases anteriores, e aliando as pretensões da Exatronic aos objetivos do corrente projeto, delineou-se o desenvolvimento de um dispositivo médico de ECG que favorecesse fatores como a portabilidade e a autonomia. Assim sendo, é imperial que exista uma consideração especial nas dimensões do dispositivo e nos consumos de energia dos componentes utilizados.

4.1. Composição do Sistema

É fulcral estudar os componentes essenciais para a concretização de um dispositivo de ECG como o que se pretende desenvolver. Apresenta-se, na figura 46, o diagrama de blocos funcional de um ECG típico mas que, neste caso, já apresenta uma transmissão *wireless* de dados, característica menos comum.

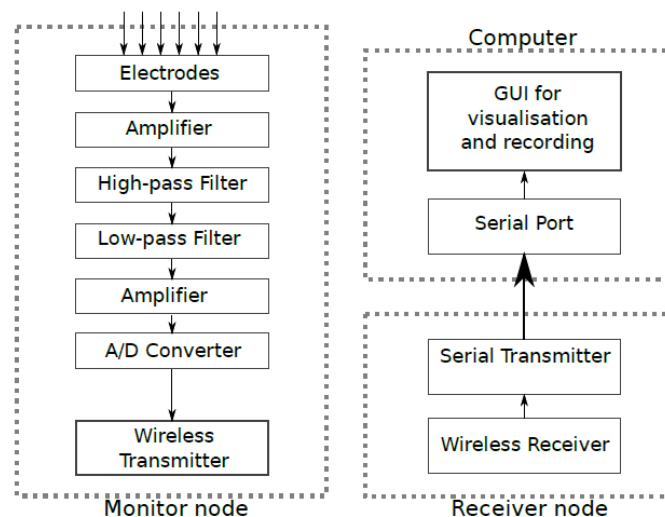


Figura 46 Diagrama de blocos de um ECG. (10)

Uma vez que se pretende um dispositivo cujas principais vantagens estejam centradas na alta portabilidade e na autonomia, será importante analisar os blocos que poderão ser dispensáveis. Antes de avançar para a escolha dos componentes a integrar a PCB e para a sua configuração, importa esquematizar os blocos-chave.

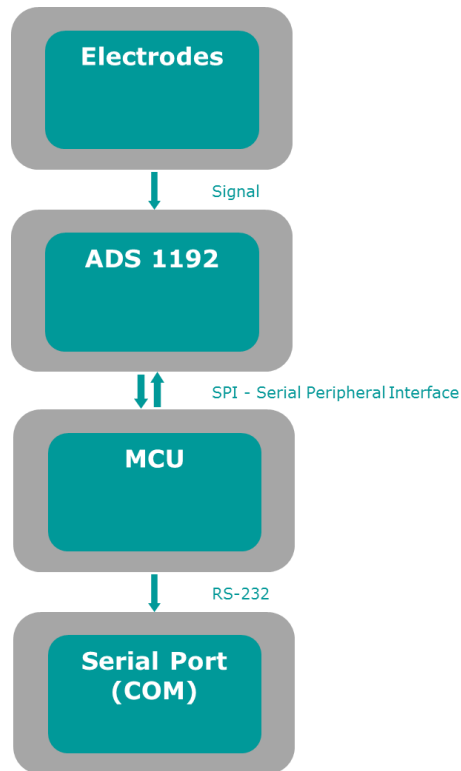


Figura 47 Diagrama de blocos com os componentes principais que integrarão o sistema.

Conforme os blocos mostrados na figura 47 é perceptível que o sistema necessitará de quatro partes maioritárias e inicialmente independentes, para funcionar. Assim sendo, os elétrodos serão responsáveis pela recolha do sinal e pela transmissão, em tempo real, do potencial elétrico do coração; a PCB incorporará a aquisição, a amplificação e a conversão analógico-digital do sinal; o microcontrolador (MCU) será responsável pela programação do *hardware* e pela recolha dos dados digitais e envio para a porta série, onde a informação será amostrada.

4.2. Printed Circuit Board (PCB)

Uma *Printed Circuit Board* (PCB) é utilizada como suporte mecânico para as conexões elétricas entre elementos eletrónicos que usam ligações condutivas. Será aqui, portanto, que os componentes escolhidos para integrar o circuito deste dispositivo médico de ECG estarão dispostos, com as respetivas ligações elétricas entre si.

4.2.1. Arquitetura do Sistema

Como foi supramencionado, num sistema biomédico portátil e/ou implantável onde uma das preocupações maioritárias passa pelo baixo consumo, importa reduzir o número de blocos ativos e maximizar a eficiência energética em cada bloco utilizado. Para além disso é fundamental que haja a máxima integração possível do sistema de

aquisição o que, no caso deste projeto, é conseguido recorrendo à utilização do ADS1192.

Como está esquematizado na figura 46, um sistema típico de ECG incorpora uma parte de aquisição analógica com uma amplificação inicial de baixo ruído, um filtro passa-banda e um ADC. Com o objetivo de reduzir o consumo e o número de componentes, o filtro passa-banda é tendencialmente integrado na amplificação analógica, e é utilizado um ganho programável para aumentar a amplitude dos sinais de entrada. (58)

4.2.2. Altium Designer®

O *Altium Designer*® é um *software* que tem como principal objetivo o desenho de circuitos eletrónicos e de PCBs. Permite desenhar o esquemático do circuito que se pretende desenvolver, com os detalhes dos componentes utilizados, que serão importantes para o processo de desenho da PCB. Foi o *software* escolhido para projetar a placa desenvolvida para o dispositivo portátil de ECG, e os esquemáticos e documentos realizados são apresentados ao longo do presente documento. Os esquemáticos apresentados a seguir encontram-se com maior pormenor no anexo I.

4.2.3. Entradas Diferenciais

Antes de iniciar a descrição da configuração e dos componentes escolhidos para o dispositivo, importa analisar a composição do circuito integrado (IC) ADS1192 e garantir a sua compatibilidade com o restante sistema. Recordamos os pinos existentes e a sua disposição no ADS1192, já apresentados anteriormente na figura 35.

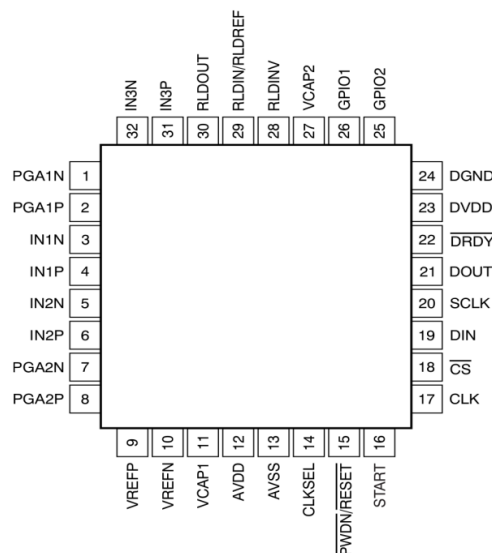


Figura 48 Configuração dos pinos do chip ADS1192. (48)

Apesar de só dispor de dois canais, o ADS1192 apresenta dois pinos para uma terceira entrada diferencial. No caso deste projeto, irá ser tido em consideração este terceiro canal e, apesar de não ser montado, irá permitir que esta configuração seja utilizada para um sistema com três entradas diferenciais.

Uma importante consideração a ter em conta é que o segundo canal diferencial do dispositivo de ECG elaborado, com as entradas IN2P e IN2N, mede o potencial existente entre o braço e a perna esquerda, correspondendo à derivação III explicada pela figura 14. Já o primeiro canal do dispositivo, IN1P e IN1N, mede o potencial entre o braço esquerdo e o direito, correspondendo à derivação I.

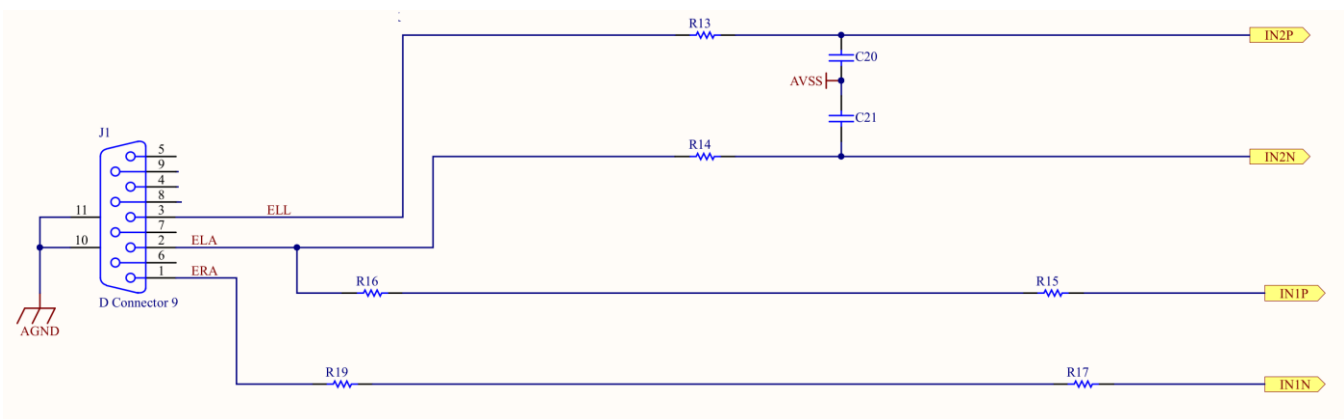


Figura 49 Entradas Diferenciais para o IC ADS1192, desenhadas em *Altium Designer*[®].

Na figura 49 mostra-se o circuito que foi desenvolvido para as entradas diferenciais do sistema. O 'D Connector 9' mostrado encontra-se ligado aos elétrodos e permite a entrada do sinal externo recolhido no sistema. A conexão com os elétrodos é feita com a disposição que se mostra na figura 50.

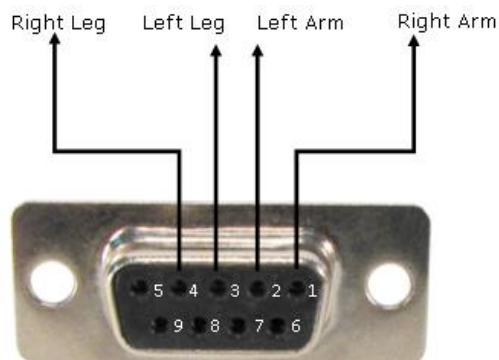


Figura 50 Conetor DB9 utilizado na entrada diferencial do circuito.

4.2.4. Right Leg Drive

O *Right Leg Drive*, como já foi referido no ponto 3.4. deste documento, é uma parte integrante e de elevada importância num sistema de medição de potenciais biológicos, pela capacidade de redução do ruído de modo comum. Desta forma, utiliza-se o bloco que o ADS1192 tem disponível para o *Right Leg Drive* adicionando-lhe um amplificador operacional que inverte, amplifica e reenvia a tensão de modo comum do corpo para a perna direita.

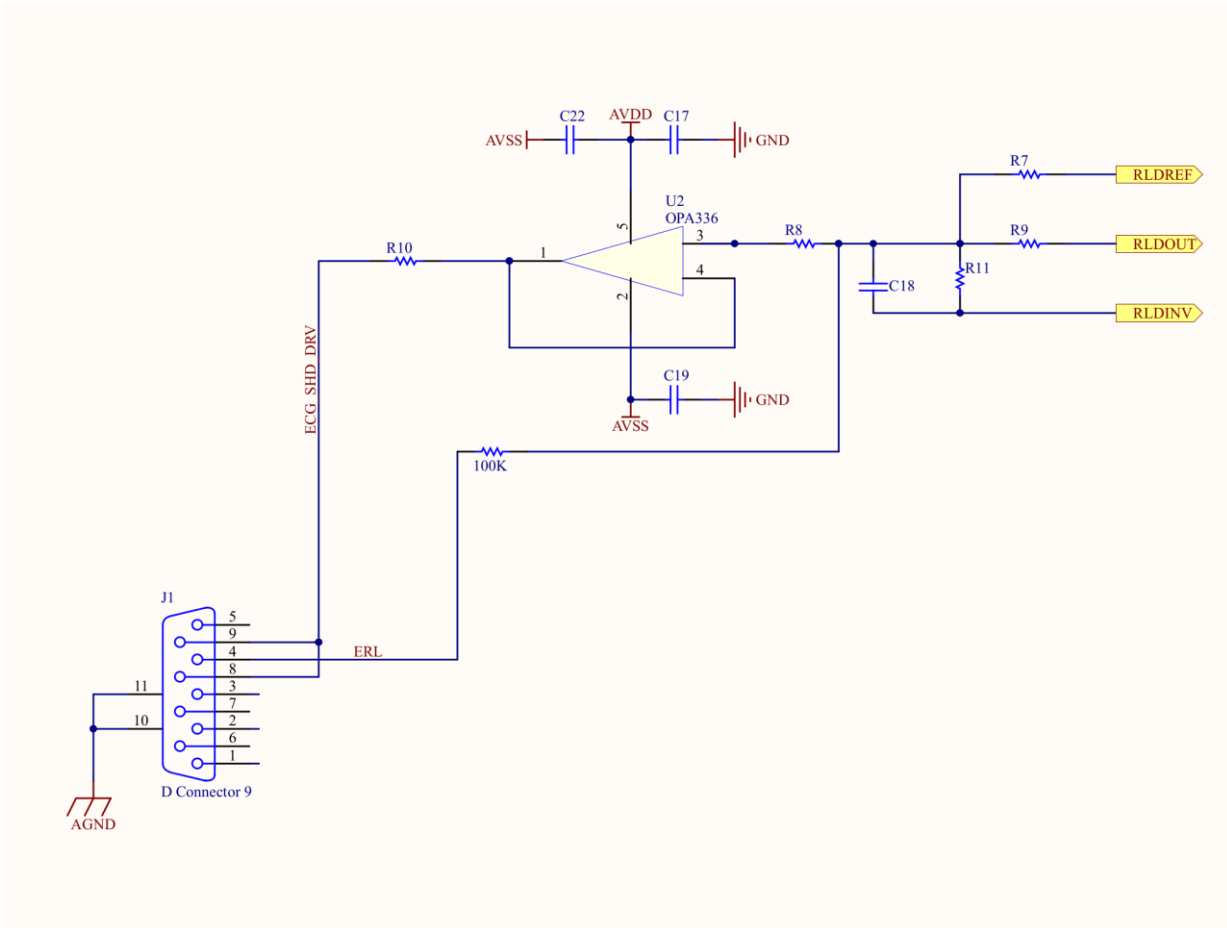


Figura 51 Esquemático do *Right Leg Drive* presente no circuito.

4.2.5. ADS1192

O ADS1192 é o componente central do sistema desenvolvido, uma vez que será responsável pela recolha dos sinais analógicos, pela sua conversão em valores digitais e pela comunicação com o microcontrolador (MCU). Na figura 52 apresenta-se a disposição do ADS1192 na construção do esquemático do circuito elétrico. São visíveis as entradas diferenciais (IN1N, IN1P, IN2N, IN2P, IN3N, IN3P), as ligações do *Right Leg Drive* (RLDINV, RLDOUT, RLDREF) e os componentes conetados aos restantes pinos do circuito integrado.

São ainda visíveis os pinos destinados aos ganhos programáveis, às alimentações digitais e analógicas e os pinos destinados à ligação com o MCU.

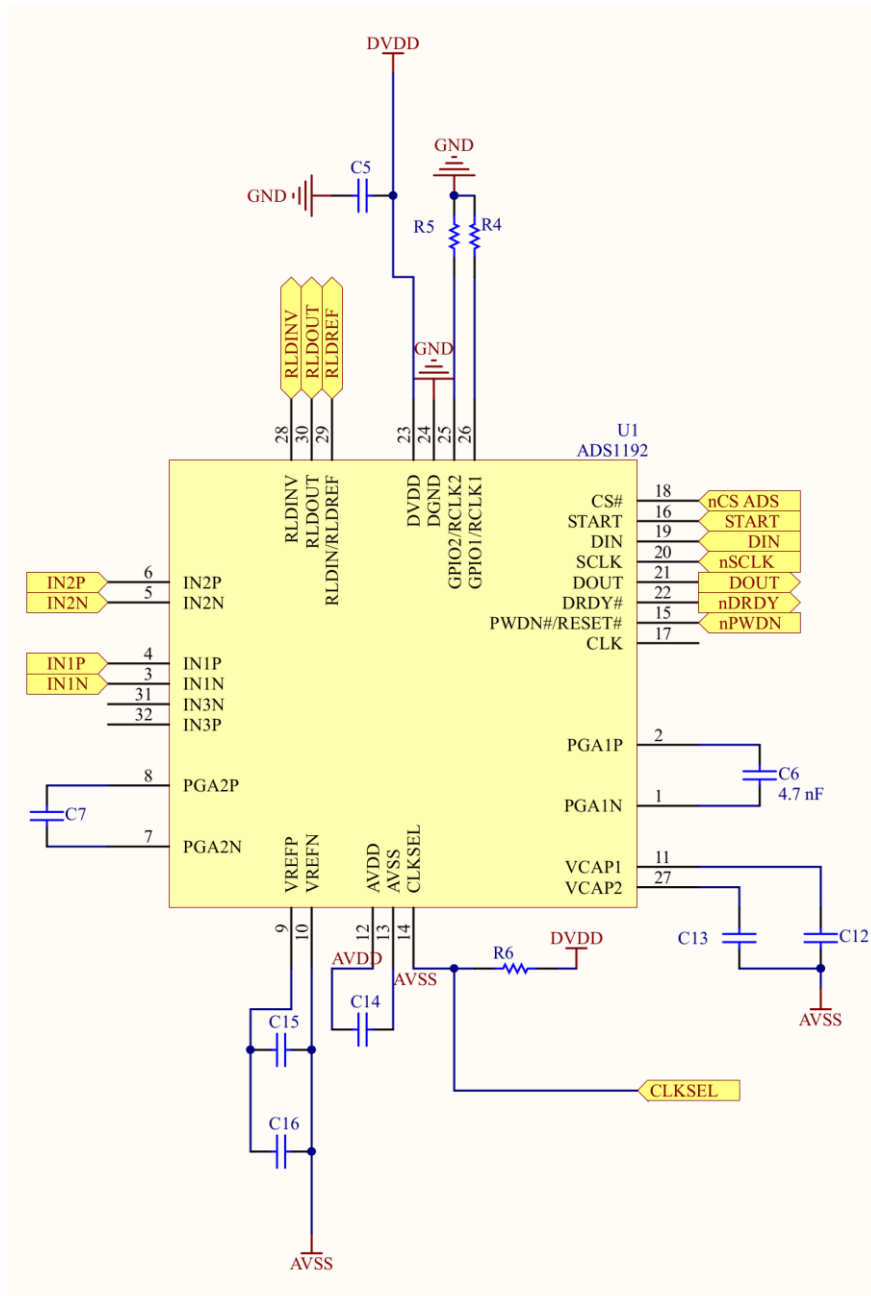


Figura 52 Esquemático do ADS1192, desenhado com recurso ao *Altium Designer*®.

4.2.6. ATmega 128 Development Board

O microcontrolador escolhido para este projeto foi o ATmega 128. Optou-se por conectar o ADS1192 com uma placa de desenvolvimento (*ATmega 128 Development Board*), ao invés de incorporar um microcontrolador na PCB.

Uma vez que o objetivo passa por programar o *firmware* do ADS1192, incorporar nesta fase um MCU na PCB iria requerer um maior número de componentes, ligações e tempo. Assim sendo, decidiu-se estabelecer a ligação dos pinos programáveis com o ATmega 128 através de um *flat cable*.

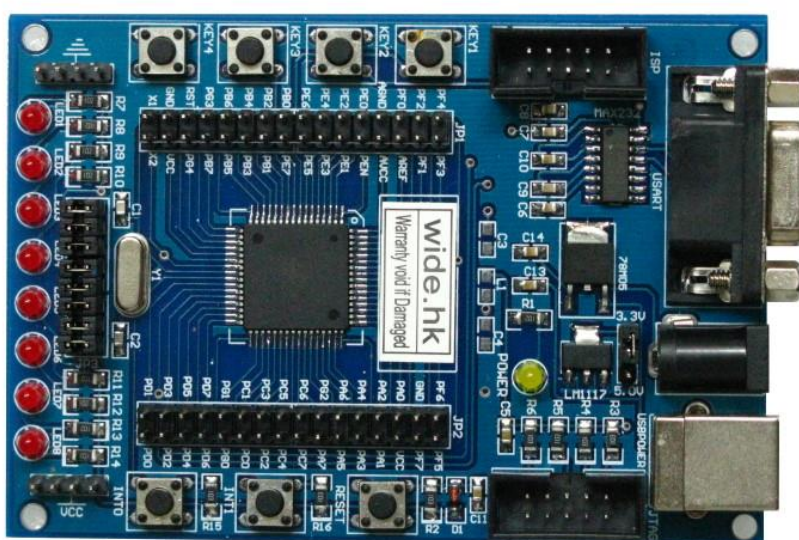


Figura 53 ATmega 128 Development Board. (59)

Pode-se ver, através da Figura 53, a conexão que pode ser estabelecida com os pinos do ATmega 128. Neste processo é preciso ter particular atenção quando se selecionam as ligações entre os pinos do ADS1192 e do ATmega 128, uma vez que existem pinos dedicados do MCU para cada função. Um exemplo claro dessa importância é a necessidade de conectar corretamente os pinos SCLK, DIN e DOUT do ADS1192 ao PB1 (SCK), PB2 (MOSI) e PB3 (MISO) do ATmega 128, respetivamente. Estes pinos são dedicados ao protocolo de comunicação SPI (*Serial Peripheral Interface*) que é usado pelo ADS1192. As ligações estabelecidas no esquemático entre o ADS1192 e o MCU, que estarão ligadas através de um flat cable, vêm demonstradas na figura 54. Estes documentos podem ser visualizados com maior pormenor no Anexo I.

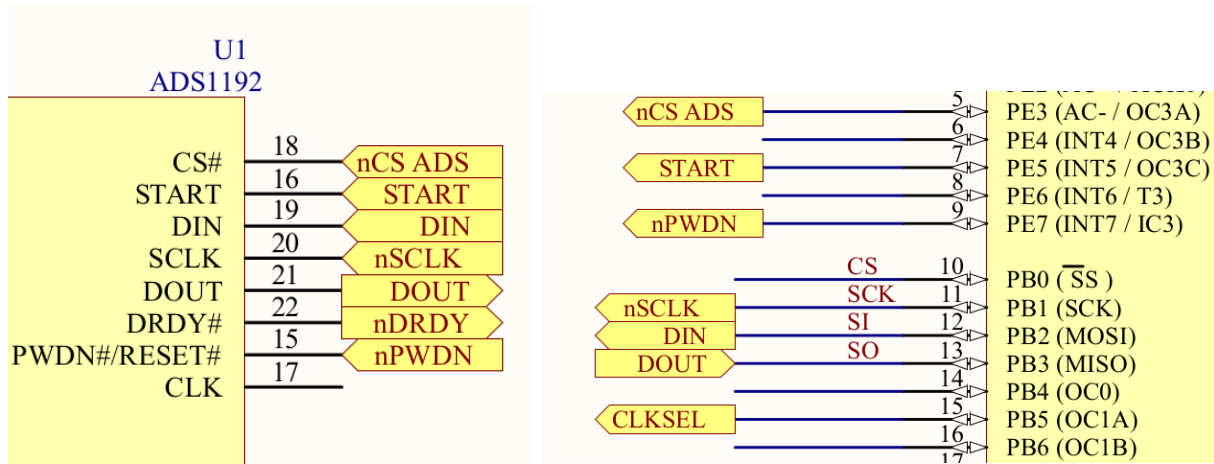


Figura 54 Ligações entre o ADS1192 e o ATmega 128.

4.2.7. Alimentação de Energia (V_{CC} , Power Supply Pin)

No circuito desenvolvido foram projetadas duas opções para a alimentação de energia. A primeira é disponibilizada pelo ATmega 128, que permite o fornecimento de energia através do pino V_{CC} (Power Supply Pin). Contudo, devido à instabilidade associada a esta fonte de alimentação, optou-se por criar uma segunda opção para o fornecimento de energia ao sistema. Desta forma, colocou-se no circuito um conector que permite que seja conectada uma fonte de alimentação externa.

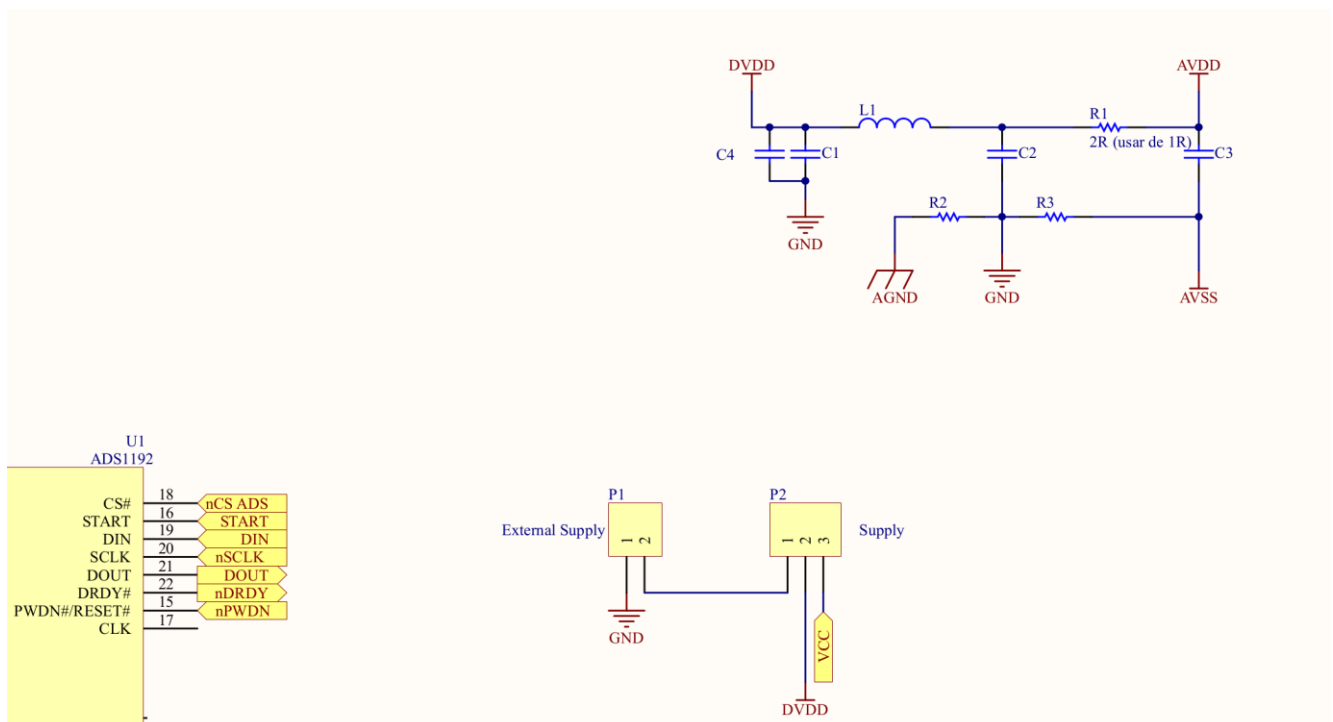


Figura 55 Esquemático da alimentação de energia do circuito.

Aquando da utilização da alimentação de energia proveniente do MCU é necessário ter particular atenção à configuração do V_{CC} . A placa de desenvolvimento utilizada permite, através da utilização de um *jumper*, seleccionar entre as tensões 3,3V e 5V. Uma vez que o ADS1192 permite que a alimentação digital máxima (DVDD) seja de 3,6V, é necessário configurar este valor para 3,3V na placa de desenvolvimento.

*"Do not go where the path may lead.
Go instead where there is no path and leave a trail."*
Harolds R. McAlindon (1803-1882)

1001101

CAPÍTULO V

Firmware

5. *Firmware*

Após o desenvolvimento do *hardware*, que culminou com a produção da PCB de acordo com a configuração e componentes selecionados, é necessário passar para a programação do IC ADS1192 para que possa funcionar corretamente e em função dos objetivos. Assim sendo, este capítulo é destinado ao desenvolvimento de *firmware* por forma a controlar o funcionamento do *hardware* e, mais especificamente, do circuito integrado utilizado.

Antes de avançar importa analisar com maior detalhe para o que é, e para que serve, o *firmware*. Consiste num tipo específico de *software* ou num conjunto de instruções programadas para o *hardware* que permitem o seu devido funcionamento. O *firmware* de um dispositivo é tipicamente armazenado na unidade de *flash* ROM (*Read-Only Memory*) que, ao contrário da memória RAM, não permite que a informação seja apagada ou modificada. (60) Tal como já foi referido no capítulo anterior, utilizou-se a *ATmega 128 Development Board* para o desenvolvimento do *firmware*.

5.1. Estrutura da *ATmega128 Development Board*

A estrutura da placa de desenvolvimento teve de ser estudada previamente, aquando do desenvolvimento do *hardware*, pelas razões que são descritas no ponto 4.2.6. Assim, os principais componentes que constituem a placa de desenvolvimento são (59):

1. Conetor In-System Programming (ISP) com 5 entradas de 2 pinos;
2. Conetor Joint Test Action Group (JTAG) com 5 entradas de 2 pinos;
3. Dois tipos de entradas de alimentação 6-12V externa e 5V através de Universal Serial Bus (USB)
4. Possibilidade de seleção da tensão de alimentação entre 3,3V e 5V;
5. Cristal oscilador de quartzo com frequência desde 1 até 16 MHz;
6. Circuito de Reset;
7. Oito Leds ligados a um porto I/O (Input/Output) através de *jumpers* removíveis;
8. Conetor fêmea RS232;
9. Quatro botões externos independentes;
10. Dois pinos de interrupção externos: int0 e int1.

Atentando no esquemático da placa de desenvolvimento, que se encontra no anexo III (Esquemático da Placa de Desenvolvimento), percebe-se que as portas I/O, que podem ser definidas como entrada ou saída de sinal, têm a seguinte disponibilidade (59):

- . Porta A – encontra-se livre;
- . Porta B – pinos 0, 1, 2 e 3 encontram-se conetados aos quatro botões externos e os pinos 4, 5, 6 e 7 encontram-se livres;
- . Porta C – encontra-se conetada aos 8 LEDs;

- . Porta D – pinos 0 e 1 encontram-se ocupados pelos dois interruptores externos (int0 e int1) e os restantes pinos livres;
- . Porta E – encontra-se livre;
- . Porta F – encontra-se ligada ao ADC;
- . Porta G – encontra-se livre;

Esta informação é determinante para definir as portas que devem ser utilizadas e, mais especificamente, quais os pinos a seleccionar em função do objetivo pretendido (*interrupts*, comunicação SPI, ...).

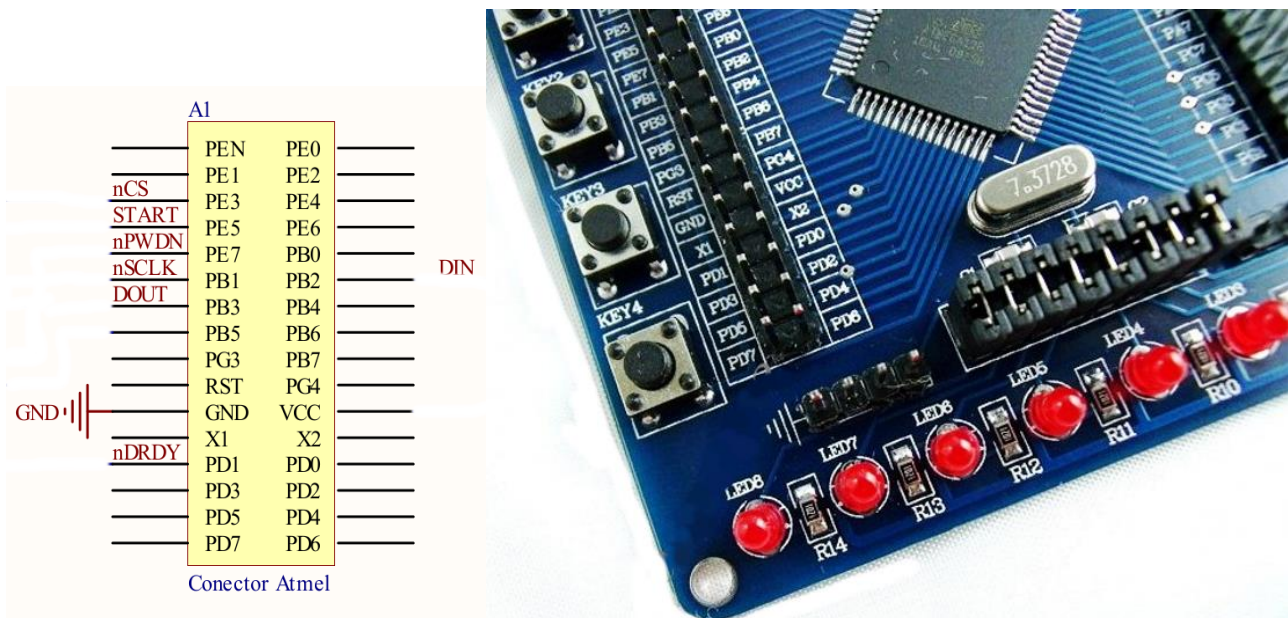


Figura 56 Ligações entre o conector proveniente do IC ADS1192 e a ATmega 128 Development Board.

Como se pode analisar na figura 56, são estabelecidas 9 conexões com a placa de desenvolvimento utilizada que estão de acordo com as especificações de cada porta, descritas acima. Assim (59):

- . Chip Select (nCS) – PIN E3, inicialmente livre;
- . Start Conversion (START) – PIN E5, inicialmente livre;
- . Power-Down/System Reset (nPVDN) – PIN E7, inicialmente livre;
- . SPI Clock (nSCLK) – PIN B1, conetado ao SCK (SPI Bus Serial Clock);
- . SPI Data In – PIN B2, conetado ao MOSI (SPI Bus Master Output/Slave Input);
- . SPI Data Out – PIN B3, conetado ao MISO (SPI Bus Master Input/Slave Output);
- . GND – GND, ligação à terra da placa de desenvolvimento;
- . VCC – VCC, power supply pin;
- . Data Ready (nDRDY) – PIN D1, conetado ao *interrupt* 1 (int1).

Os objetivos do *firmware* a desenvolver passam pela programação do ADS1192, o que implica a configuração da comunicação SPI (*Serial Peripheral Interface*) entre o ADS1192 e o MCU e da comunicação USART (*Universal Synchronous Asynchronous Receiver Transmitter*) entre o MCU e a porta série. Com isso, pretende-se possibilitar

a escrita e leitura dos registos do ADS1192, o envio de informação através do USART e a leitura dos dados no terminal da porta série.

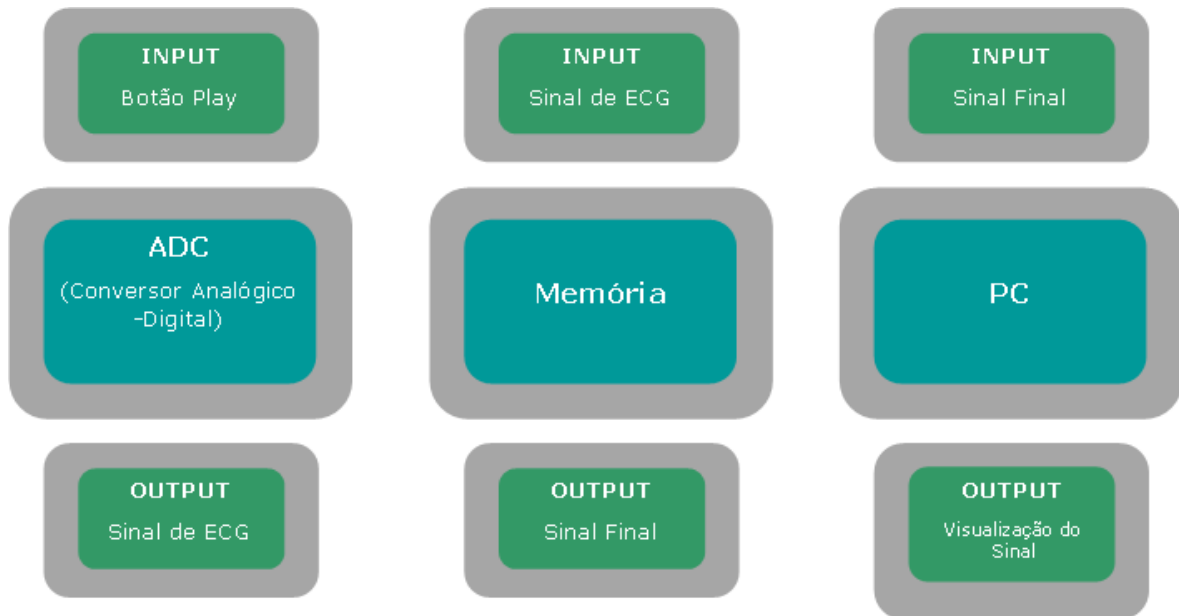


Figura 57 Diagrama de blocos do *firmware* que esquematiza os objetivos pretendidos.

A figura 57 apresenta os objetivos definidos para a estrutura do *firmware*. No presente projeto, e atendendo às tarefas definidas no planeamento, apenas é expectável que se consiga programar o ADS1192 e que sejam recebidos e lidos na Porta Série os valores recolhidos pelos elétrodos e convertidos pelo ADC.

5.2. SPI (*Serial Peripheral Interface*)

O SPI é uma interface série sincronizada que permite a comunicação com vários microcontroladores (MCUs) ou dispositivos periféricos que podem ser interconectados. Existem quatro sinais básicos no SPI, sendo eles o MISO (*Master Input/Slave Output*), o MOSI (*Master Output/Slave Input*), o SCK (*Serial Clock*) e o \overline{SS} (*Slave Select*). (61)

O pino Slave Select (\overline{SS}) é utilizado para seleccionar o dispositivo que funciona como *Slave*. No sistema desenvolvido, o dispositivo configurado como *Master* é o ATmega 128 e o *Slave* corresponde ao ADS1192. Assim sendo, o MISO é configurado como uma entrada no dispositivo *Master* (ATmega 128) e como uma saída no dispositivo *Slave* (ADS1192) e, por sua vez, o MOSI é configurado como um *output* no dispositivo *Master* (ATmega 128) e como um *input* no dispositivo *Slave* (ADS1192).

Na figura 58 apresenta-se o modo de funcionamento da comunicação SPI, segundo a *Motorola*[®], responsável pelo desenvolvimento deste protocolo. (62)

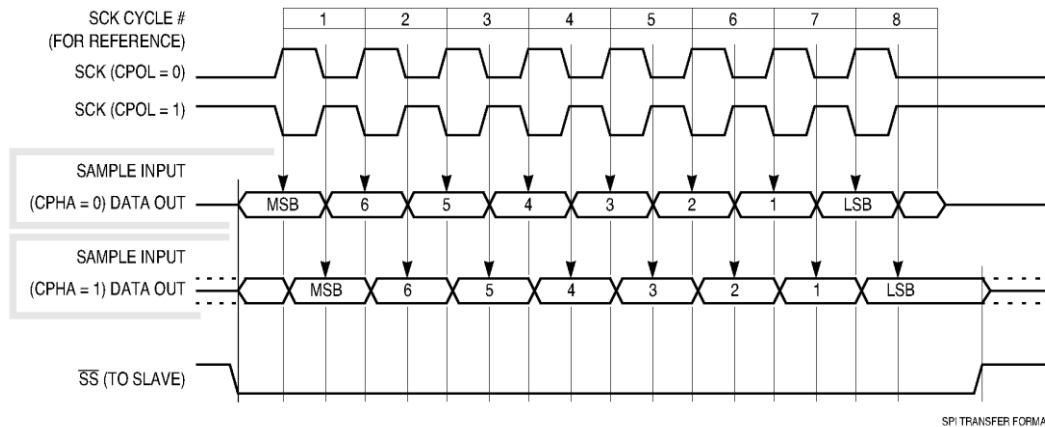


Figura 58 Diagrama que demonstra o modo de funcionamento da comunicação SPI, em função do tempo. (61)

Podemos ver que a comunicação só acontece quando o pino \overline{SS} se encontra no nível lógico 0, ativando os três pinos restantes da comunicação SPI (SCK; MISO e MOSI) e fazendo com que seja transferido 1 bit por cada ciclo do relógio. Em primeiro dá-se a transmissão do MSB (*Most Significant Bit*) e o último bit a ser transferido é o LSB (*Least Significant Bit*).

Depois de entendido o protocolo de comunicação SPI importa perceber que tipo de informação vai ser trocada com o ADS1192, e de que forma é que esse processo acontece. Os comandos utilizados pelo ADS1192 dividem-se em três tipos:

- . Comandos do Sistema;
- . Comandos de Leitura de Dados;
- . Comandos de Escrita e Leitura de Registos.

Vêm descritos na figura 59.

COMMAND	DESCRIPTION	FIRST BYTE	SECOND BYTE
System Commands			
WAKEUP	Wake-up from standby mode	0000 0010 (02h)	
STANDBY	Enter standby mode	0000 0100 (04h)	
RESET	Reset the device	0000 0110 (06h)	
START	Start/restart (synchronize) conversions	0000 1000 (08h)	
STOP	Stop conversion	0000 1010 (0Ah)	
OFFSETCAL	Channel offset calibration	0001 1010 (1Ah)	
Data Read Commands			
RDATAC	Enable Read Data Continuous mode. This mode is the default mode at power-up. ⁽¹⁾	0001 0000 (10h)	
SDATAC	Stop Read Data Continuously mode	0001 0001 (11h)	
RDATA	Read data by command; supports multiple read back.	0001 0010 (12h)	
Register Read Commands			
RREG	Read n $nnnn$ registers starting at address r rrr	001 r rrr (2xh) ⁽²⁾	000 n $nnnn$ ⁽²⁾
WREG	Write n $nnnn$ registers starting at address r rrr	010 r rrr (4xh) ⁽²⁾	000 n $nnnn$ ⁽²⁾

(1) When in RDATAC mode, the RREG command is ignored.
 (2) n $nnnn$ = number of registers to be read/written - 1. For example, to read/write three registers, set n $nnnn$ = 0 (0010). r rrr = starting register address for read/write opcodes.

Figura 59 Lista de comandos do ADS1192. (48)

5.3. Escrita e Leitura de Registos

Como se pode ver na figura 59 existem dois tipos básicos de comandos que são definidos para a escrita e leitura de registos. Estes são constituídos por dois *opcodes*, bytes que possuem valores específicos e que, ao serem recebidos pelo ADS1192, vão configurá-lo para executar a escrita ou a leitura dos seus registos.

Podemos ver com maior detalhe o processo de leitura de registos no ADS1192 na figura 60, onde se visualiza o envio do comando de leitura constituído por dois *bytes* (DIN):

- . Primeiro *byte*: $001r\ rrrr$, onde $r\ rrrr$ é o endereço inicial do registo a ser lido.
- . Segundo *byte*: $000n\ nnnn$ onde $n\ nnnn$ é o número de registos a serem lidos menos 1.

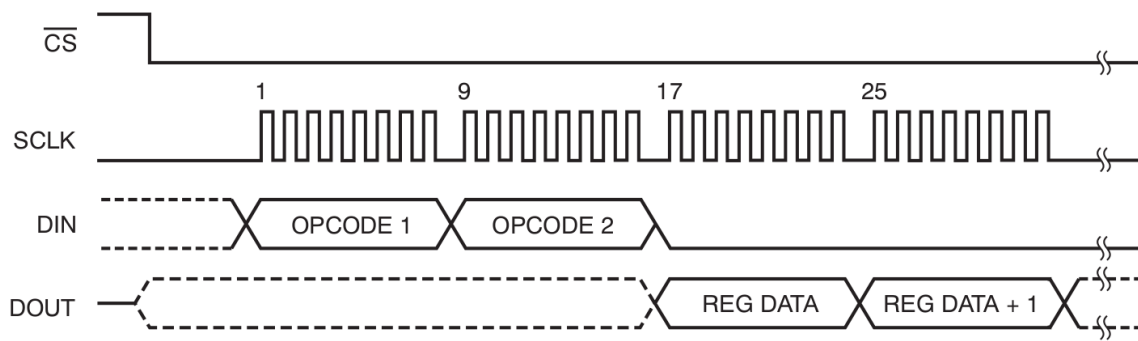


Figura 60 Exemplo do comando RREG, responsável pela leitura de registos. (48)

Após o envio do comando RREG, inicia-se a receção (DOUT) do valor atual dos registos do ADS1192.

No que à escrita de registos diz respeito, verifica-se que o processo é bastante semelhante, variando apenas os *bytes* enviados e recebidos. Aqui, após o envio do comando WREG, igualmente composto por dois *bytes*, é ainda necessário enviar os registos que se querem escrever. Tal como acontece para o comando de leitura, o primeiro *byte* contém o comando *opcode* e o segundo *byte* o endereço do registo.

- . Primeiro *byte*: $001r\ rrrr$, onde $r\ rrrr$ é o endereço inicial do registo a ser lido.
- . Segundo *byte*: $000n\ nnnn$ onde $n\ nnnn$ é o número de registos a serem lidos menos 1.

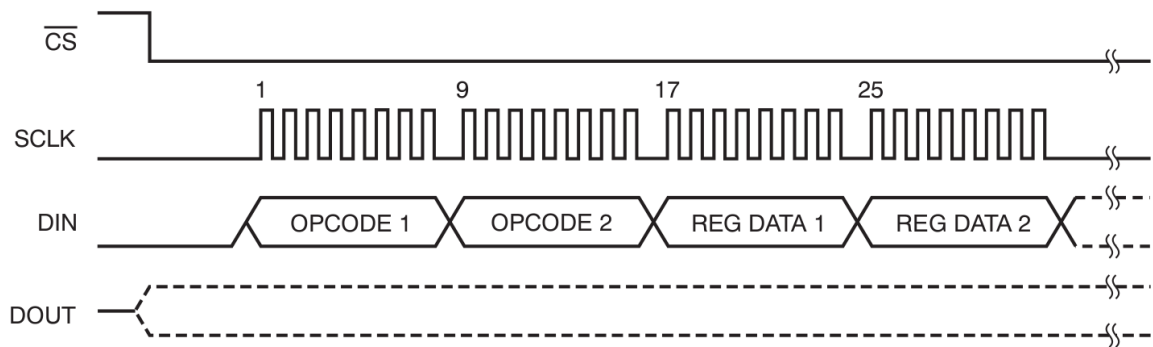


Figura 61 Exemplo do comando WREG, responsável pela escrita de registos. (48)

O ADS1192 apresenta 12 registos que apresentam valores *default* de acordo com o que aparece descrito na figura 62. O primeiro objetivo será conseguir ler esses valores, garantindo, dessa forma, não apenas que a comunicação SPI entre o MCU e o ADS1192 está a ser bem executada, como também a comunicação USART com a Porta Série, caso se recolham os valores expectáveis (valores na coluna RESET VALUE).

ADDRESS	REGISTER	RESET VALUE (Hex)	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
Device Settings (Read-Only Registers)										
00h	ID	XX	REV_ID7	REV_ID6	REV_ID5	1	0	0	REV_ID1	REV_ID0
Global Settings Across Channels										
01h	CONFIG1	02	SINGLE_SHOT	0	0	0	0	DR2	DR1	DR0
02h	CONFIG2	80	1	PDB_LOFF_COMP	PDB_REFBUF	VREF_4V	CLK_EN	0	INT_TEST	TEST_FREQ
03h	LOFF	10	COMP_TH2	COMP_TH1	COMP_TH0	1	Ilead_OFF1	Ilead_OFF0	0	FLEAD_OFF
Channel-Specific Settings										
04h	CH1SET	00	PD1	GAIN1_2	GAIN1_1	GAIN1_0	MUX1_3	MUX1_2	MUX1_1	MUX1_0
05h	CH2SET	00	PD2	GAIN2_2	GAIN2_1	GAIN2_0	MUX2_3	MUX2_2	MUX2_1	MUX2_0
06h	RLD_SENS	00	0	0	PDB_RLD	RLD_LOFF_SENS	RLD2N	RLD2P	RLD1N	RLD1P
07h	LOFF_SENS	00	0	0	FLIP2	FLIP1	LOFF2N	LOFF2P	LOFF1N	LOFF1P
08h	LOFF_STAT	00	0	CLK_DIV	0	RLD_STAT (read only)	IN2N_OFF	IN2P_OFF	IN1N_OFF	IN1P_OFF
GPIO and Other Registers										
09h	MISC1	00	0	0	0	0	0	0	1	0
0Ah	MISC2	02	CALIB_ON	0	0	0	0	0	RLDREF_INT	0
0Bh	GPIO	0C	0	0	0	0	GPIOC2	GPIOC1	GPIOD2	GPIOD1

Figura 62 Mapa de registos do ADS1192. (48)

Inicialmente é necessário avaliar as tensões existentes nos pinos do ADS1192, garantindo que estão reunidas as condições para que a comunicação possa ocorrer segundo a informação que nos é fornecida pela *datasheet*, visível na figura 62. Recorrendo ao osciloscópio, a tensão no pino \overline{CS} é a apresentada



Figura 63 Tensão do pino \overline{CS} no ADS1192, medido com o osciloscópio.

Uma vez que este pino funciona com lógica inversa, quando se obtiver o valor de 0V, significa que o pino está ativo e, por outro lado, se o pino estiver com uma tensão positiva, significa que o pino está desativado. Como o valor medido é 0V, como se pode comprovar na figura 63, quer dizer que o pino \overline{CS} se encontra ativo.

Depois de desenvolvida a função para a comunicação SPI, têm de ser enviados os bytes que dêem a indicação ao ADS1192 da leitura de todos os registos. Assim sendo, os bytes a enviar serão:

- . Primeiro *byte*: 0010 0000 (binário) = 0x20 (hexadecimal), indicando que a leitura dos registos iniciar-se-á no primeiro registo (0x00).
- . Segundo *byte*: 0000 1011 (binário) = 0xB0 (hexadecimal), indicando que se pretendem ler doze registos.

Aquando do envio de *bytes* através do DIN, devem ser gerados pulsos no SCLK (SPI *Clock*) a uma frequência definida. Recorrendo novamente ao osciloscópio, vamos analisar o sinal existente nos pinos SCLK, DIN e DOUT.

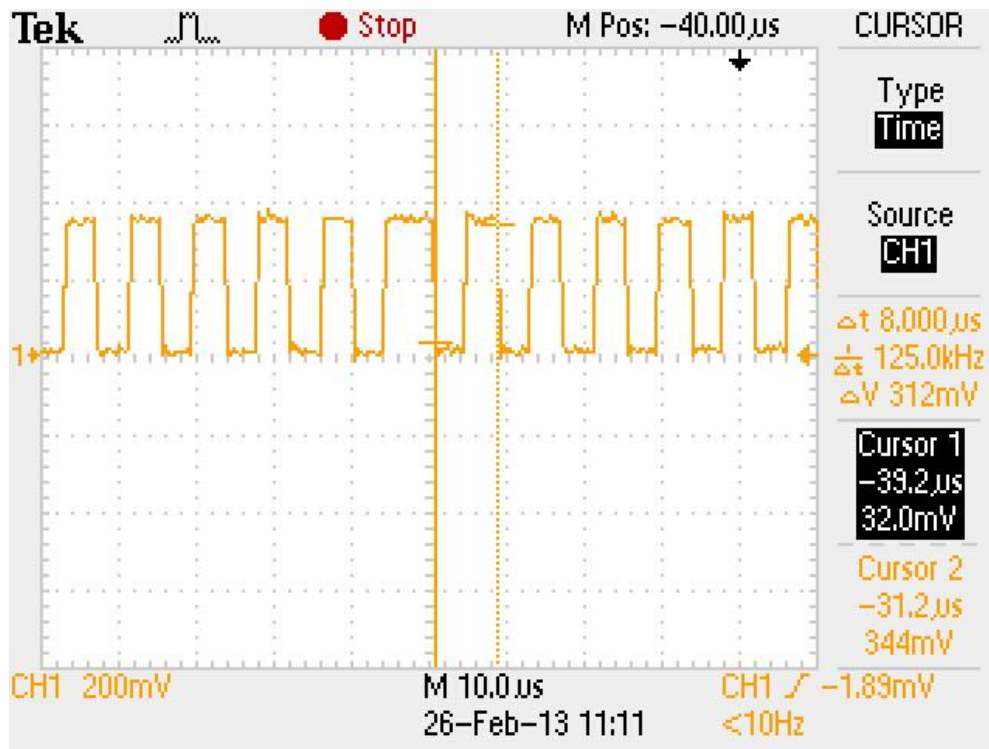


Figura 64 Sinal no pino SCLK.

De acordo com o gráfico visível na figura 64 percebe-se que os pulsos do relógio do SCLK se encontram a uma frequência de 125 KHz, quando o MCU se encontra com o oscilador interno configurado para 8 MHz. Esta diferença deve-se a dois bits (SPR0 e SPR1) do registo de controlo do SPI do ATmega 128 (SPCR) que permitem configurar a frequência do SCLK, estabelecendo uma relação entre este valor e o valor da frequência do oscilador do MCU. (59)

Uma vez que se configurou, no *firmware* que a frequência do SCLK iria ser igual a 1/64 da frequência do oscilador, conferimos que o valor medido no osciloscópio se encontra correto:

$$F_{SCLK} = \frac{1}{64} \times F_{Osc} = \frac{8\,000\,000\,Hz}{64} = 125\,000\,Hz$$

É agora necessário avaliar se os bytes estão a ser enviados através do DIN.

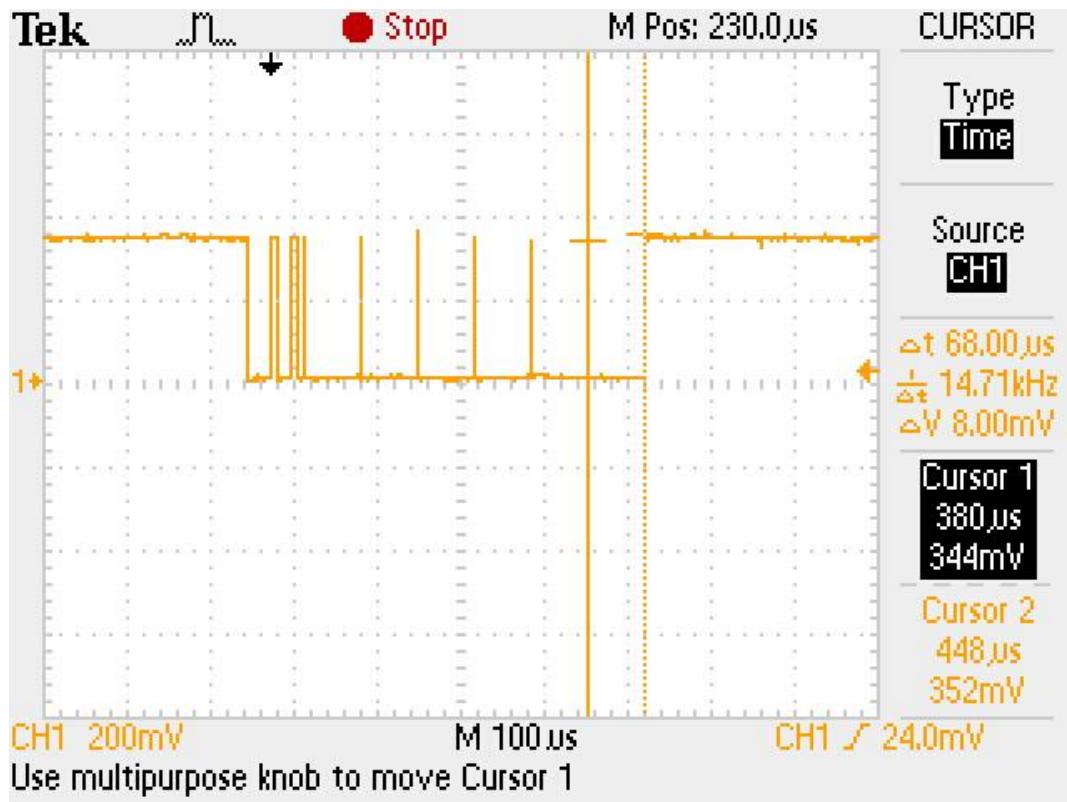


Figura 65 Pino DIN, a enviar blocos de 6 bytes vazios (0x00).

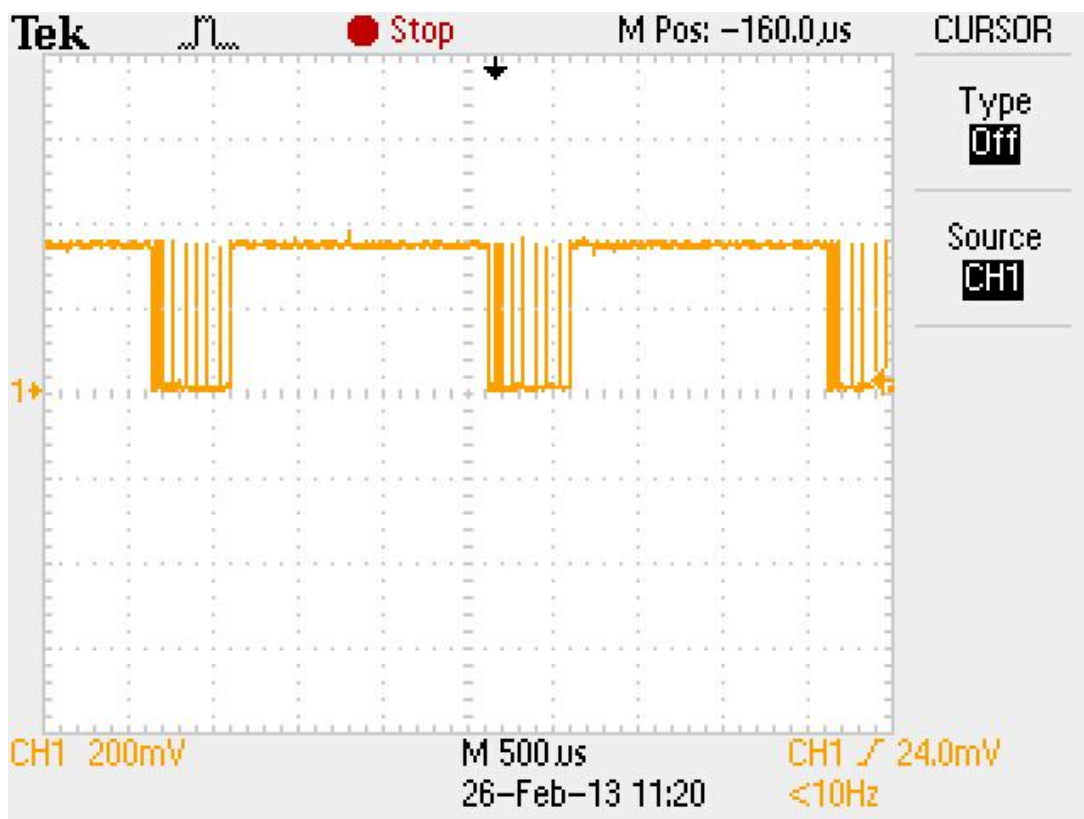


Figura 66 Pino DIN, com menor escala temporal. Na imagem é possível observar o envio de 3 blocos de 6 bytes através do DIN.

Nas figuras 65 e 66 verifica-se que os bytes estão a ser enviados. Dada a frequência elevada que está a ser usada, nas figuras referidas é amostrado o DIN configurado no modo de leitura continuado, uma vez que para a escrita e leitura de registos apenas existe um bloco de dados a ser enviado/recebido o que dificulta a aquisição do sinal nos pinos recorrendo ao osciloscópio. De qualquer forma, demonstra-se o correto funcionamento do pino DIN.

Utilizando o mesmo processo para o pino DOUT:

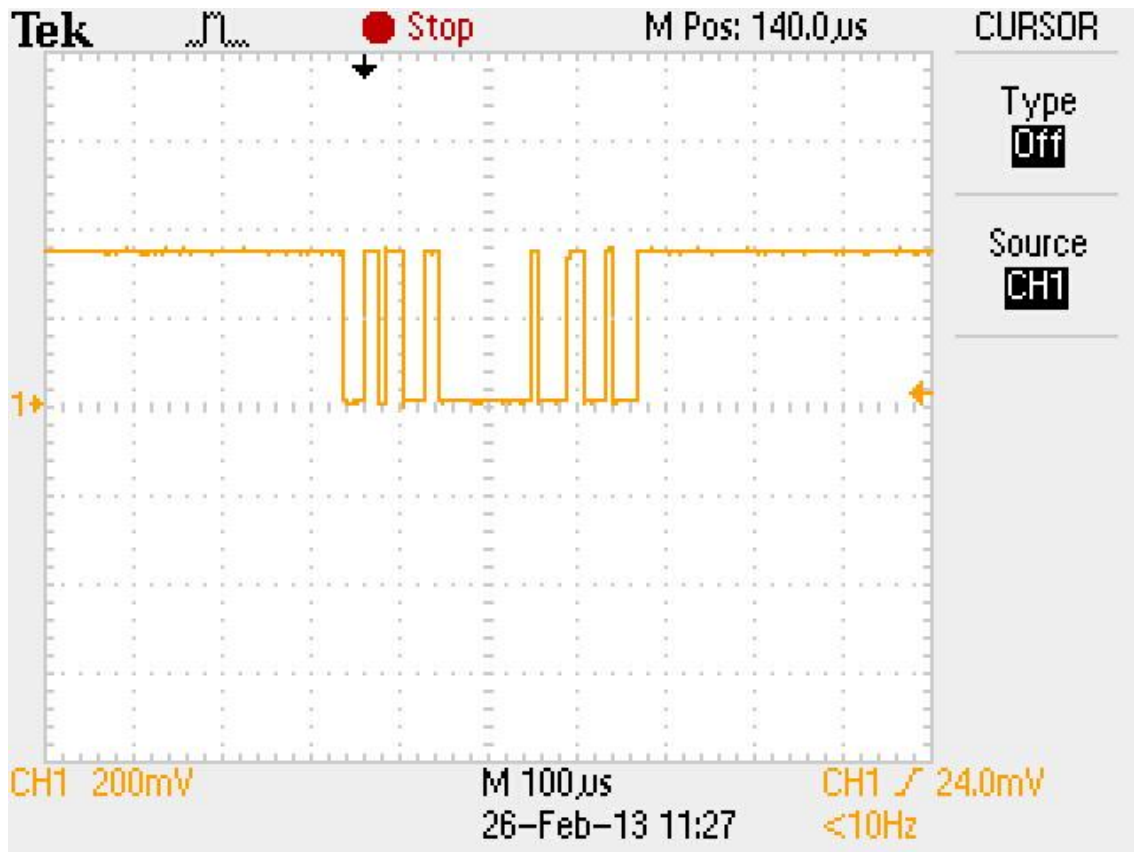


Figura 67 Envio de um bloco de dados (6 bytes) através do pino DOUT do ADS1192. Esta informação terá de ser recebida no MCU e enviada através do USART para o computador auxiliar.

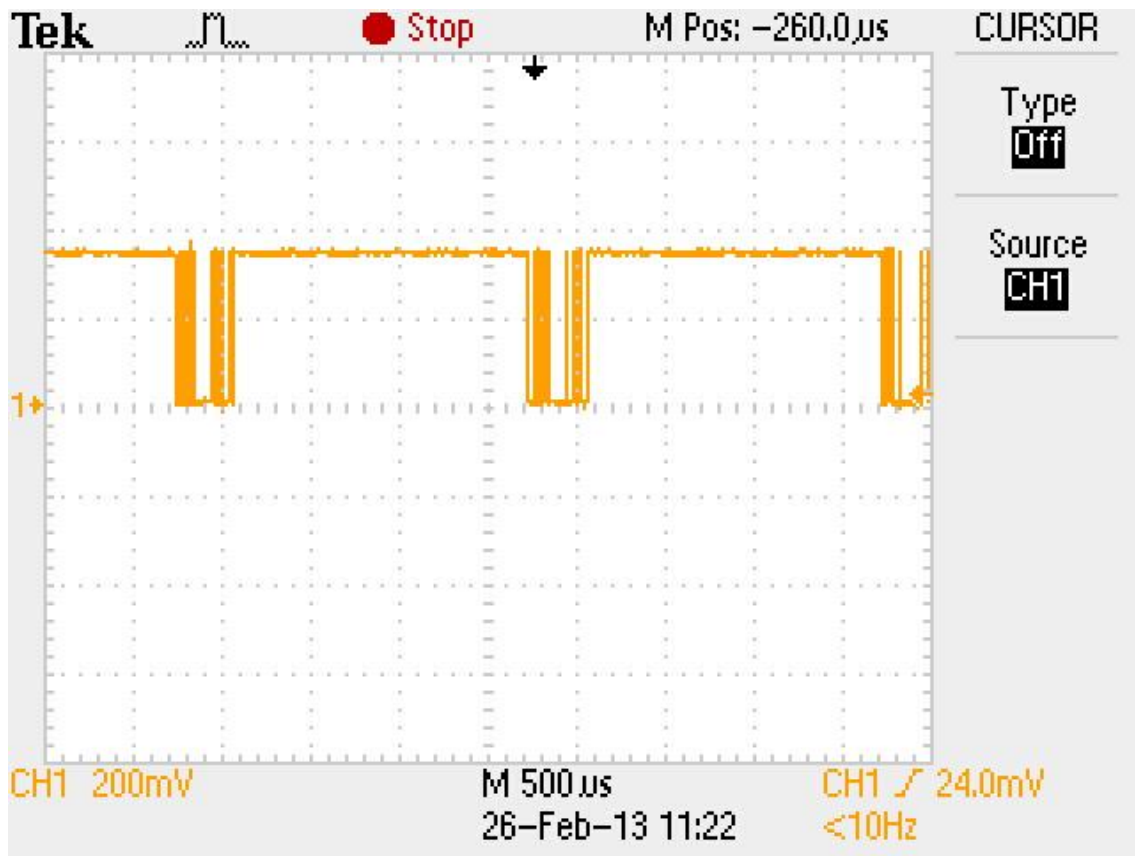


Figura 68 Pino DOUT, com menor escala temporal. Na imagem é possível observar a receção de 3 blocos de 6 bytes através do DOUT.

Tal como para o pino DIN, também os gráficos amostrados para o pino DOUT foram adquiridos quando este se encontrava configurada no modo de leitura contínua. Uma vez que também aqui se verifica o correto funcionamento do pino, o próximo objetivo será conseguir obter o valor dos registos na porta série.

Depois de desenvolvida a programação da comunicação USART, e enviando os dados recolhidos para a porta série, conseguiram-se obter os valores esperados para os doze registos do ADS1192.

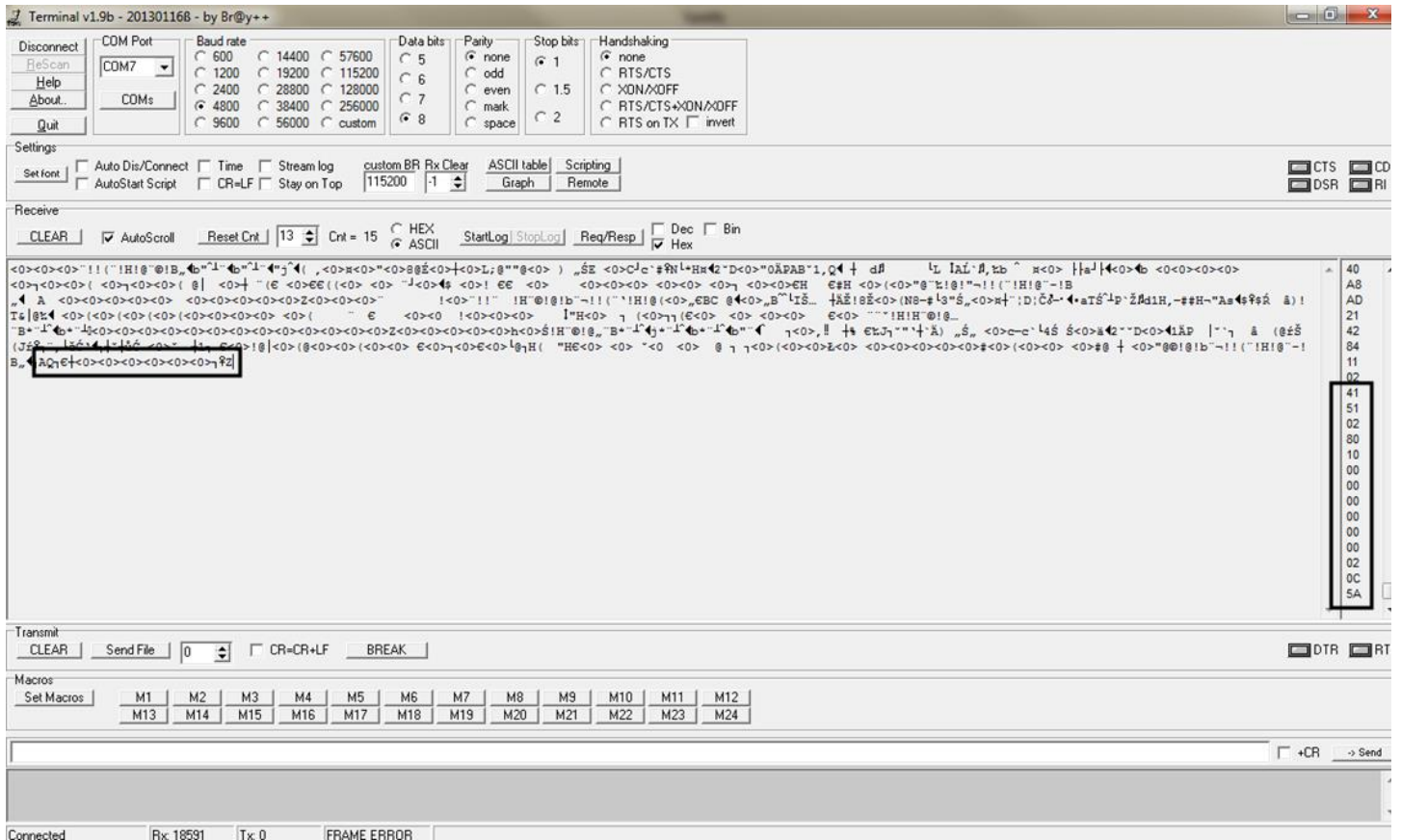


Figura 69 Leitura dos registos iniciais do ADS1192.

Na figura 69 é visível a leitura dos registos. Para facilitar a leitura, e porque pode existir algum ruído na porta série, colocou-se um carácter "A" no início da leitura dos registos, e um carácter "Z" no final da leitura.

Na imagem 69 são visíveis duas regiões destacadas a preto que correspondem à leitura dos registos em formato *American Standard Code for Information Interchange* (ASCII) e formato hexadecimal, respetivamente. Assim sendo, na coluna do lado direito visualizam-se os valores 0x41 no início e 0x5A no final, que correspondem à letra 'A' e à letra 'Z' no formato ASCII.

Assim, a sequência de registos lidos, que correspondem aos valores em hexadecimal entre o 0x41 ('A') e 0x5A ('Z') é:

51 | 02 | 80 | 10 | 00 | 00 | 00 | 00 | 00 | 00 | 02 | 0C

Estes valores equivalem aos valores por defeito visíveis na figura 62, que se encontram presentes na coluna 'RESET VALUE (Hex)'. Este resultado, tal como já foi mencionado, evidencia que tanto a comunicação SPI como a USART funcionam corretamente.

Para finalizar esta tarefa, vão ser programados os registos que permitem ativar uma onda quadrangular de teste com a frequência de 1 Hz, função disponibilizada pelo ADS1192. Configurando o IC desta forma, espera-se recolher este sinal no computador para que possa ser posteriormente convertido num gráfico. Depois dessa execução, conseguiu-se obter o gráfico que é visível na figura 70.

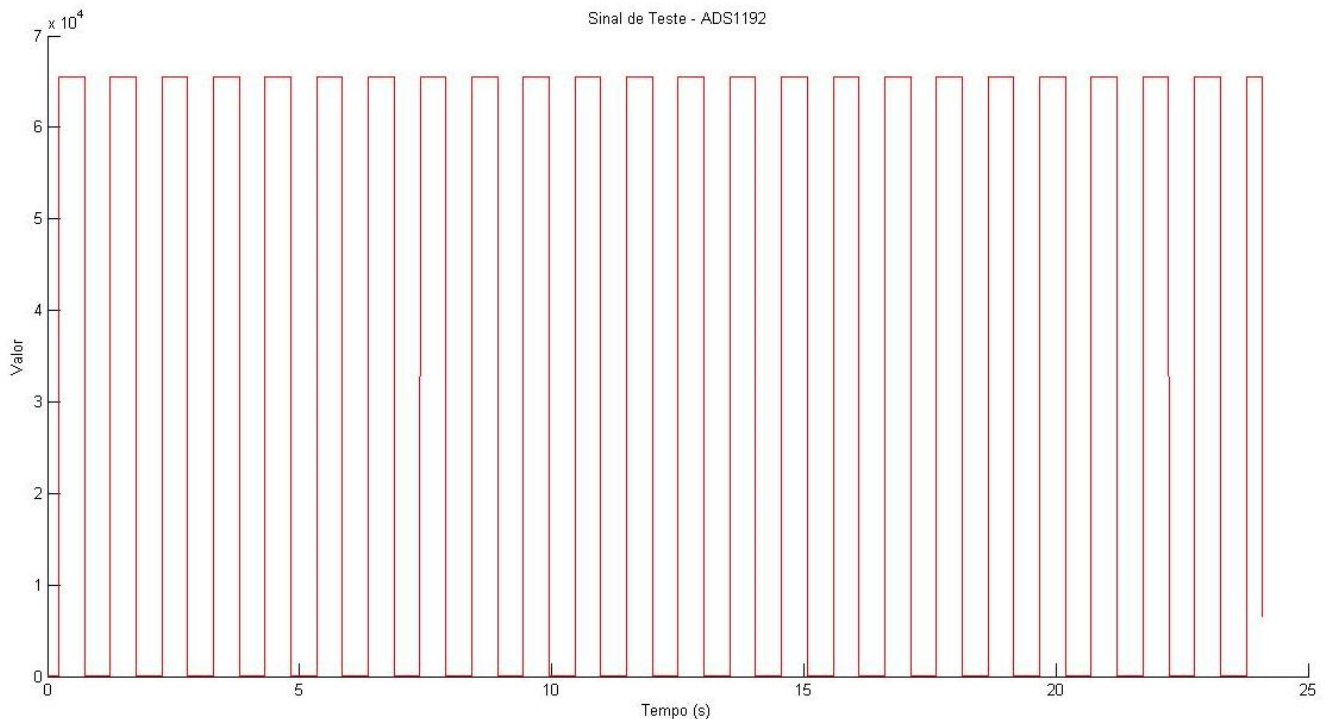


Figura 70 Gráfico do sinal recolhido quando acionado o sinal de teste do ADS1192.

O gráfico da figura 70 foi realizado com o auxílio de um programa desenvolvido em *MatLab*[®], depois de terem sido recolhidos e guardados os valores a partir do terminal da porta série, igual ao que se pode ver na figura 69. Verifica-se que se obteve a onda quadrangular de 1 Hz esperada, o que permite admitir o correto funcionamento do ADS1192.

As funcionalidades do ADS1192 são definidas em função dos registos que se estão atribuídos no momento em que se encontra em funcionamento. Assim sendo, com a possibilidade de editar esses registos, através do comando de escrita, será possível personalizar a operacionalidade do ADS1192 em função dos objetivos pretendidos, sendo possível fazer variar parâmetros como o ganho programável, as tensões de referência ou a deteção de canais de ECG inativos, por exemplo.

5.4. Pacotes de Dados e *Data Ready* (\overline{DRDY})

Antes de partir para a configuração correta dos registos é necessário perceber de que forma são enviados os dados a partir do ADS1192. A receção dos dados pode acontecer através de dois métodos, baseados nos comandos visíveis na tabela da Figura 59. Desta forma, pode ser utilizado o comando RDATA, que permite programar o dispositivo no modo de leitura contínua, isto é, sem a necessidade de enviar *opcodes* constantes; ou através do comando de leitura RDATA que permite ler apenas um bloco de dados a partir do dispositivo. (48)

O número de bits por cada bloco de dados depende do número de canais e do número de bits por canal. Neste caso, para o ADS1192, o número de bits é

$$16 \text{ status bits} + 16 \text{ bits} \times 2 \text{ canais} = 48 \text{ bits}$$

Desta forma, é necessário enviar 6 bytes para cada bloco de dados, recebendo 2 bytes por cada um dos canais utilizados.

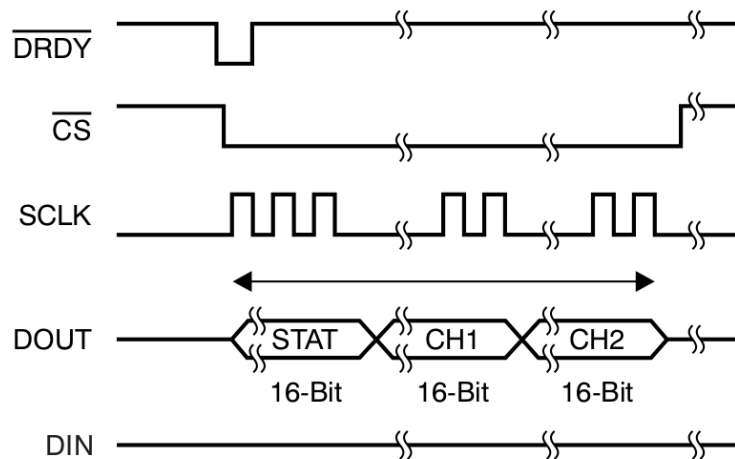


Figura 71 Dados na saída (DOUT) do ADS1192. (48)

No gráfico da figura 71 é introduzido o valor de um novo pino (\overline{DRDY}), cuja funcionalidade é fornecer a indicação de quando existem novos dados convertidos. Assim sendo, importa detetar este sinal e iniciar o envio dos dados através do DOUT apenas quando este sinal é ativado.

Recorrendo ao osciloscópio, vamos calcular a frequência com que novos dados são disponibilizados pelo ADC:



Figura 72 Sinal do pino \overline{DRDY} , calculado com o auxílio do osciloscópio.

A análise da figura 72 mostra que o ADC converte sinais analógicos a uma frequência de 500 Hz, equivalente a originar 500 amostras/segundo. Assim, é necessário garantir que a recolha de um pacote de dados (6 bytes) e o seu envio através da porta série, não demora mais do que 2 milissegundos, momento em que o sistema tem de estar disponível para recolher o próximo bloco de dados. Este é outro dos parâmetros que pode ser configurado recorrendo aos registos do ADS1192.

5.5. Registos de Leitura Contínua no ADS1192

Como já foi referido, existem parâmetros que o ADS1192 permite que sejam alterados em função dos objetivos e das funcionalidades que o utilizador pretende para o seu sistema. Assim sendo, e recorrendo à configuração dos seus doze registos, vamos definir alguns pontos:

- . Utilização do Clock Interno, $F_{CLK} = 512 \text{ kHz}$
- . Utilização da Tensão de Referência Externa, V_{REF}
- . ADC a converter 500 amostras/segundo
- . Utilização do Canal 1 (derivação 1) e Canal 2 (derivação 3)
- . Ganho Programável (PGA) = 6, para os dois canais

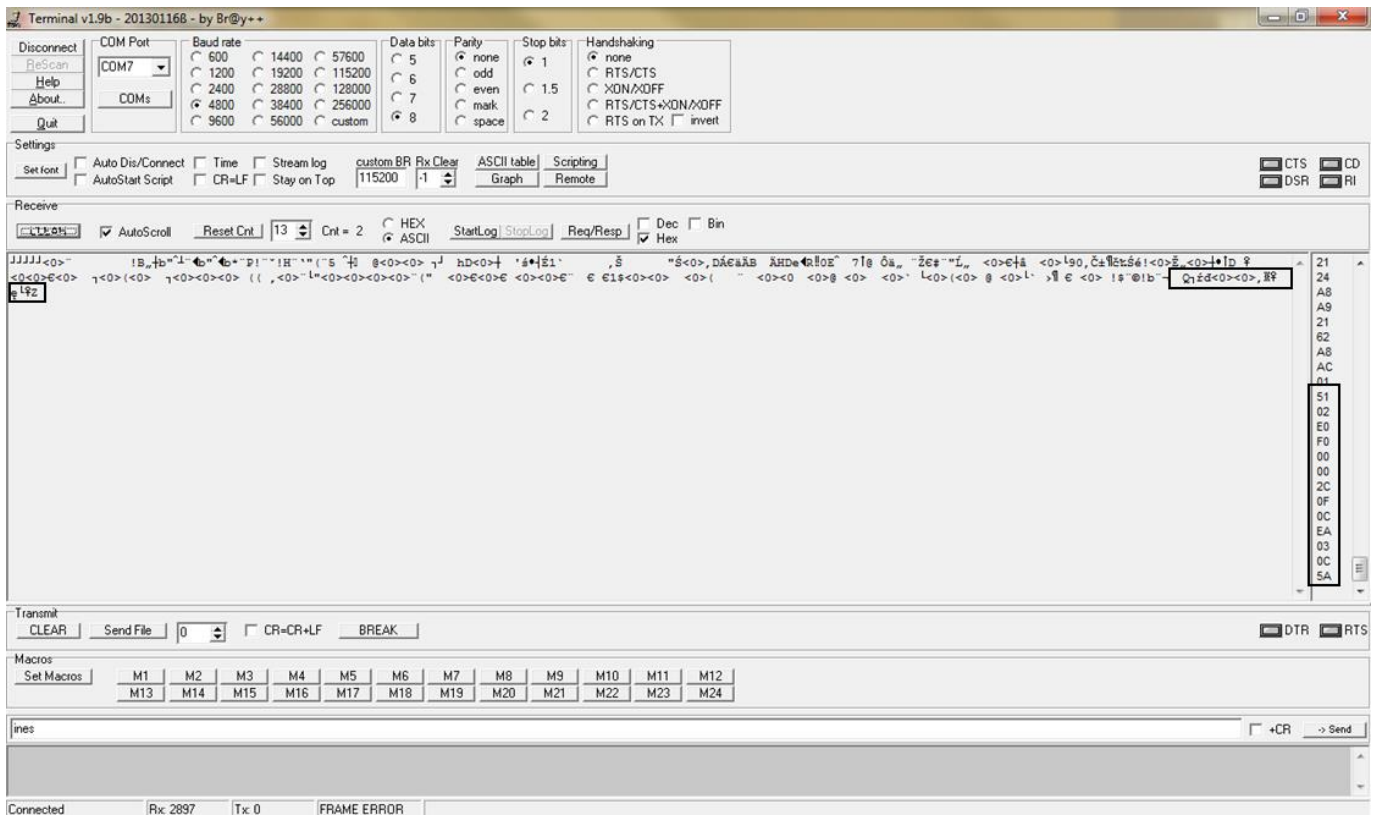


Figura 73 Registos configurados para o modo de leitura contínua do ADS1192.

Tal como na leitura dos registos *default*, também se utilizaram os mesmos caratères (“A” e “Z”, respetivamente) para definir o início e o fim da leitura dos registos que foram previamente escritos. Assim, a sequência dos doze registos escritos, como se pode verificar pela figura 73 é:

51 | 02 | E0 | F0 | 00 | 00 | 2C | 0F | 0C | EA | 03 | 0C

Atribuindo estes valores aos registos do ADS1192 espera-se que, colocando um sinal analógico de ECG à entrada, seja possível recolher essa informação, digital, na porta série. Estes testes vão ser executados e vêm amostrados no capítulo seguinte do presente documento, destinado a apresentar os resultados dos testes ao sistema.

*"Seek opportunities to show you care.
The smallest gestures often make the biggest difference."*
John Wooden (1910-2010)

Testes do Sistema

6. Testes do Sistema

Após o desenvolvimento do *firmware*, seguem-se os testes que permitem demonstrar o desempenho do sistema que foi desenvolvido. Apresentam-se, na figura 74, os constituintes do sistema que foi desenvolvido e a forma como estão conectados entre si.

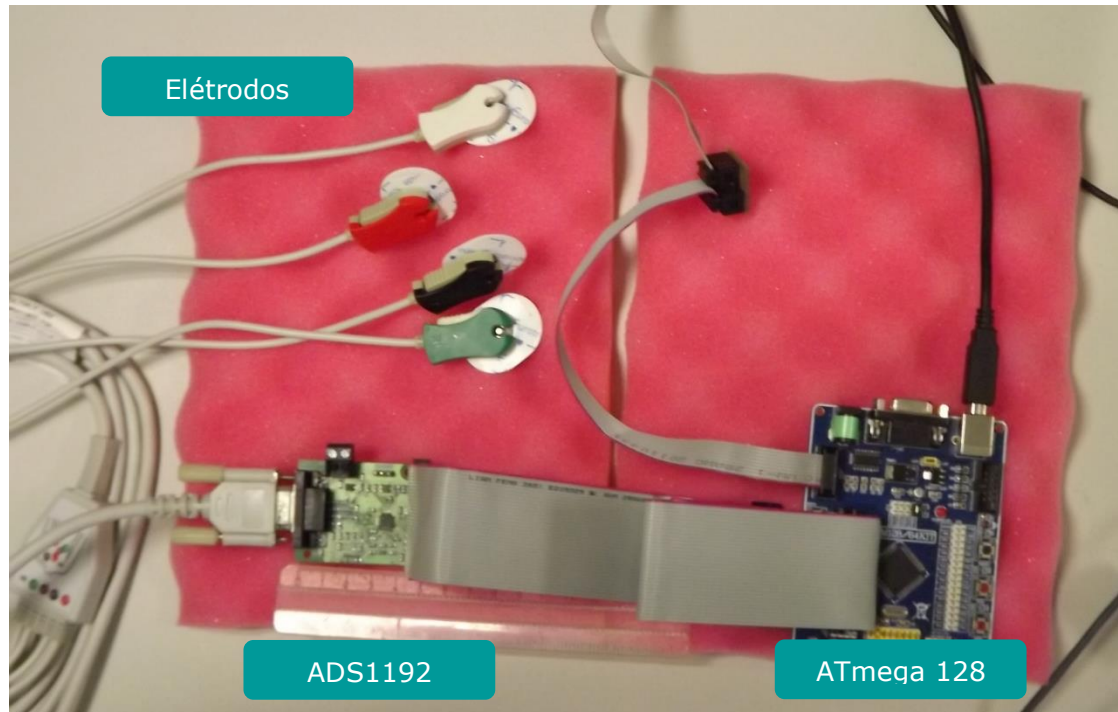


Figura 74 Sistema desenvolvido, onde se apresentam a PCB desenvolvida com o ADS1192 e a ATmega 128 Development Board, ligados por um flat cable.

Observa-se a ligação, através do conetor DB9, entre a PCB desenvolvida e os quatro eléttodos (Braço Direito e Esquerdo; e Perna Direita e Esquerda) que recolhem o sinal para as duas entradas diferenciais. A ligação através do *flat cable*, como já foi explicado anteriormente, permite a conexão entre o MCU e o ADS1192, funcionando como ligação para o envio e a receção de *bytes* e podendo, ainda, funcionar como fonte de alimentação. A placa de desenvolvimento encontra-se alimentada por uma ligação à porta USB (5V) que é depois ajustada para 3,3V através de um *jumper*. Este é o valor a que é alimentada a PCB que contém o ADS1192.

O que se realizará de seguida implicará o uso de um simulador de sinais que fornecerá um sinal predeterminado aos eléttodos, que se esperará visualizar depois na porta série. Esta ligação com a porta série será executada através da placa de desenvolvimento, conectando o conetor DB9 que é apresentado (junto à alimentação por USB) e uma porta COM do computador auxiliar utilizado.

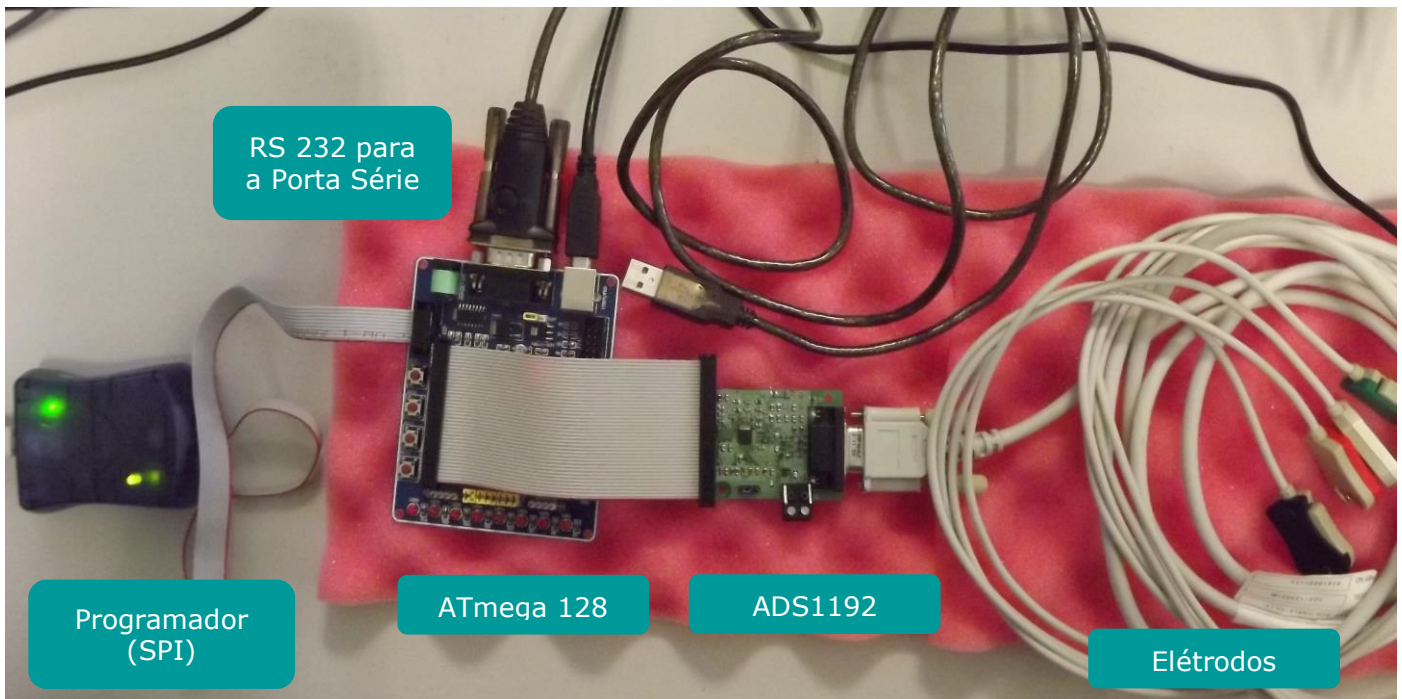


Figura 75 Sistema desenvolvido, já com a ligação para a Porta Série.

Com a ligação existente à porta COM, que permite o envio de dados para a porta série, importa, de seguida, utilizar o gerador de sinais para fornecer, através dos elétrodos, um sinal de entrada analógico conhecido e determinado, que possa ser visualizado na saída do sistema, já em formato digital.

6.1. Gerador de Sinais, *Fluke Biomedical*

O gerador de sinais utilizado é um produto da *Fluke Biomedical*, cujo modelo é o ESA (*Electrical Safety Analyzer*) 620. Permite realizar todos os testes primários de segurança de um dispositivo, incluindo tensões médias, resistências de proteção e de isolamento, corrente no dispositivo e ligações com o utilizador do dispositivo biomédico. (63)

Na figura 76 é possível visualizar-se esse simulador em funcionamento, a gerar um sinal complexo de ECG, e a sua ligação com quatro elétrodos do sistema.



Figura 76 Ligação dos eléttodos ao ESA 620.

6.2. Testes ao Sistema

Depois do sistema se encontrar completo, uma vez que se procedeu à ligação dos eléttodos ao gerador de sinal, começa-se por configurar o ESA 620 para fornecer uma onda quadrangular a uma frequência definida.

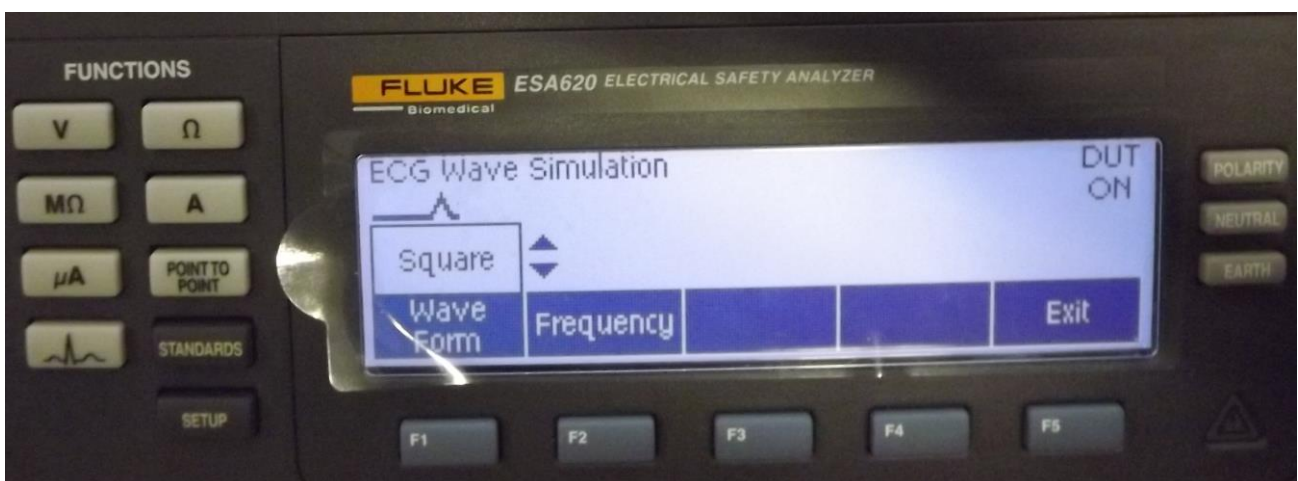


Figura 77 ESA 620 a fornecer uma onda quadrangular.

A onda quadrangular foi selecionada por permitir uma iteração mais fácil, uma vez que, sendo um sinal mais simples e com uma frequência determinada, é possível avaliar, visual e graficamente, se o sinal que obtemos na porta série é o esperado.

Depois de programado o ADS1192, os sinais são recolhidos no terminal, com uma frequência de 500 amostras por segundo (tal como definido através dos registos do ADS1192) e com os parâmetros da comunicação USART bem definidos (*baudrate, parity, stop bits, data bits transmitidos e handshaking*), como pode ser visualizado na figura 69 e 73, capítulo V.

Esses dados são armazenados num ficheiro *.log* e, posteriormente, convertidos num gráfico com auxílio do software MatLab®.

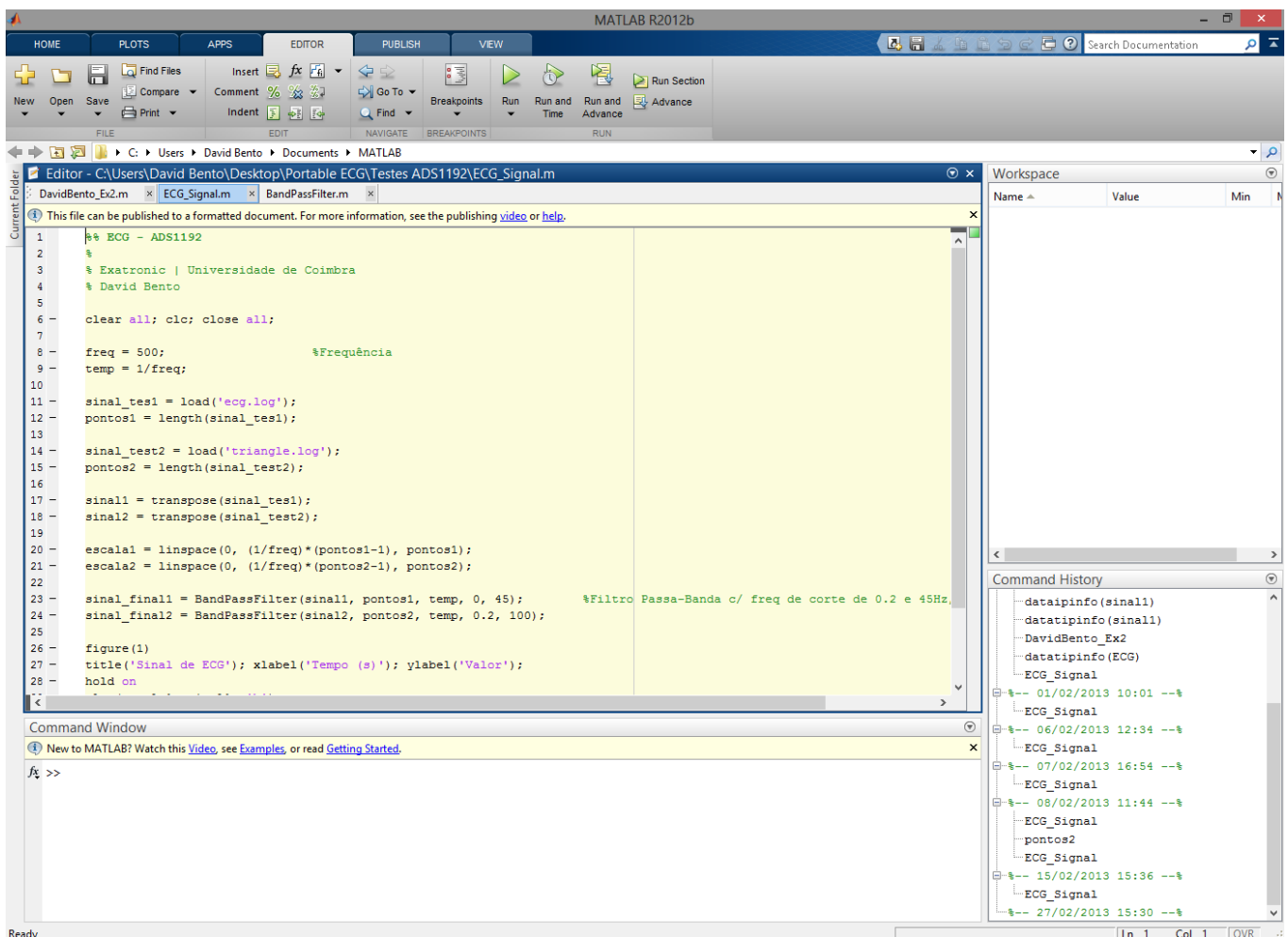


Figura 78 Layout do programa *MatLab*® utilizado inicialmente para fazer o gráfico dos dados recolhidos na porta série.

Os resultados dos sinais convertidos apresentam-se nas figuras que se seguem. Pode-se verificar que, apesar de existir um ruído considerável, o valor equipara-se ao que seria esperado. O valor da frequência (0.125 Hz) mostra-se igualmente em conformidade com o que foi programado no display do gerador de sinal ESA 620.

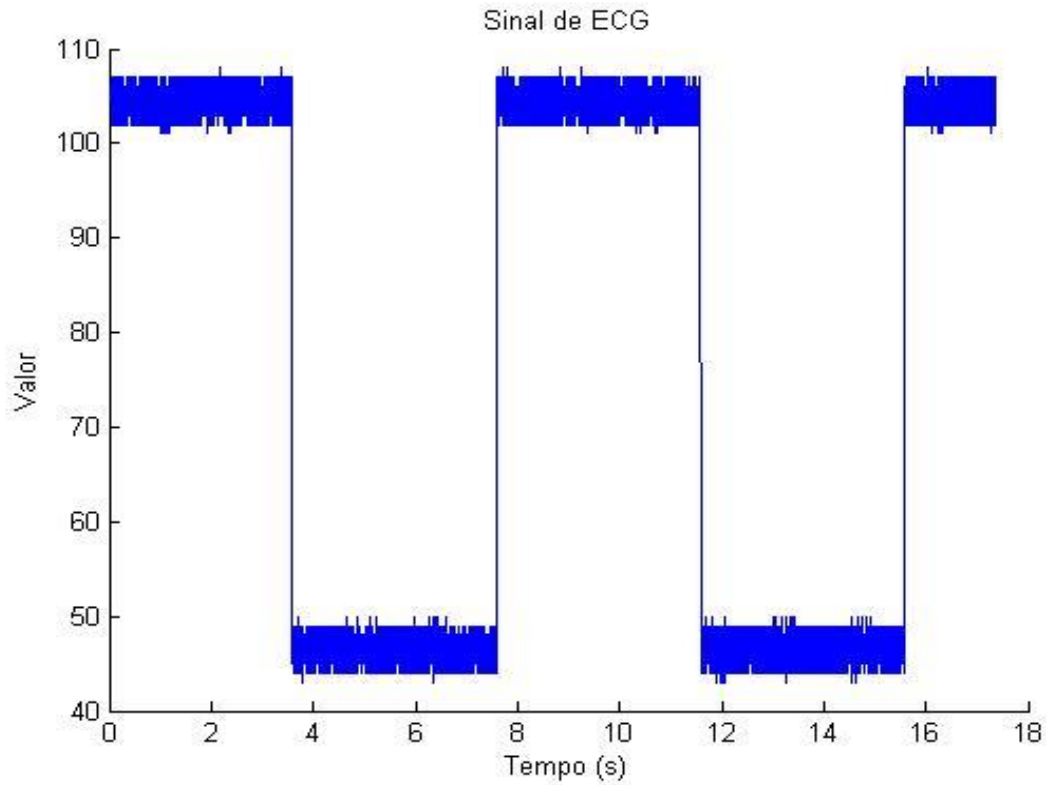


Figura 79 Onda quadrangular do canal 1 (derivação 1) do ECG desenvolvido recolhido na porta série, proveniente do gerador de sinal ESA 620. A frequência definida foi de 0.125 Hz.

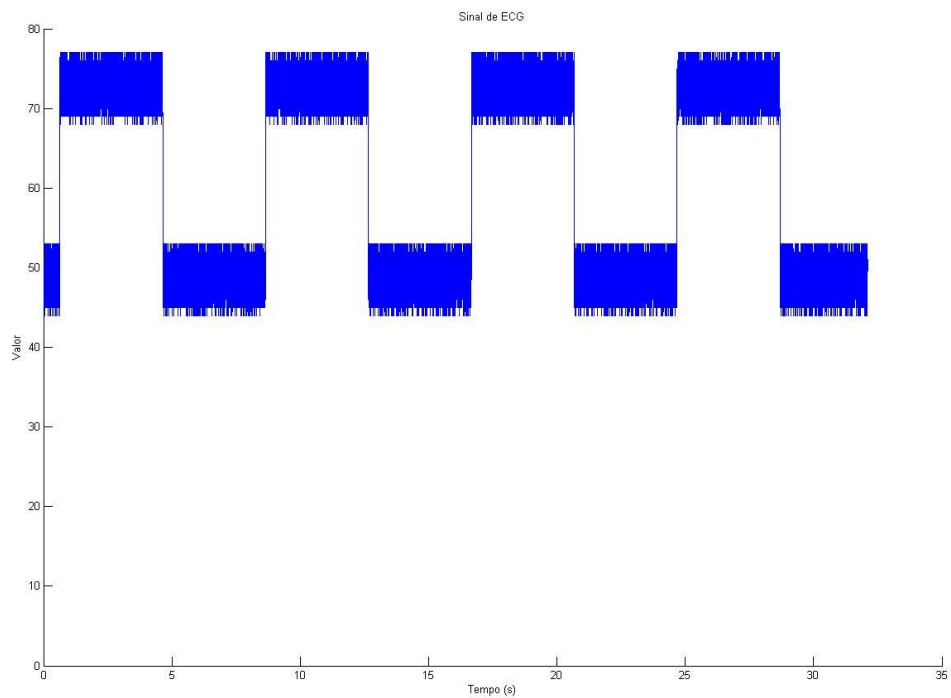


Figura 80 Onda quadrangular do canal 2 (derivação 3) do ECG desenvolvido recolhido na porta série, proveniente do gerador de sinal ESA 620. A frequência definida foi de 0.125 Hz.

Este resultado deixa antever uma boa configuração dos registos do ADS1192 e, conseqüentemente, o seu bom funcionamento. Desta forma, o próximo passo será alterar o formato do sinal gerado pelo ESA 620 e conferir o seu resultado. Nas figuras 82 e 83 mostram-se os gráficos dos sinais recolhidos na porta série, para os dois canais do dispositivo de ECG.



Figura 81 Sinal gerado pelo ESA 620 com formato triângular.

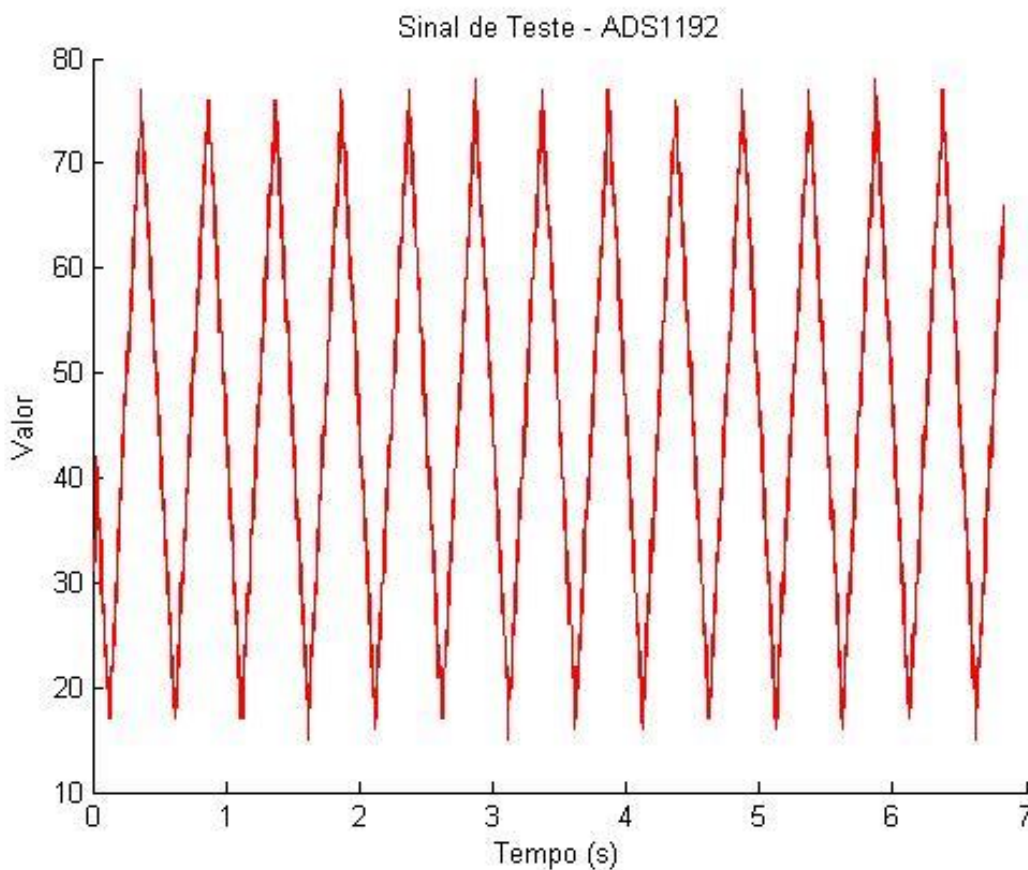


Figura 82 Sinal recolhido na porta série proveniente do canal 1 do ECG. O sinal foi produzido com recurso ao ESA 620 configurado como se apresenta na figura 81.

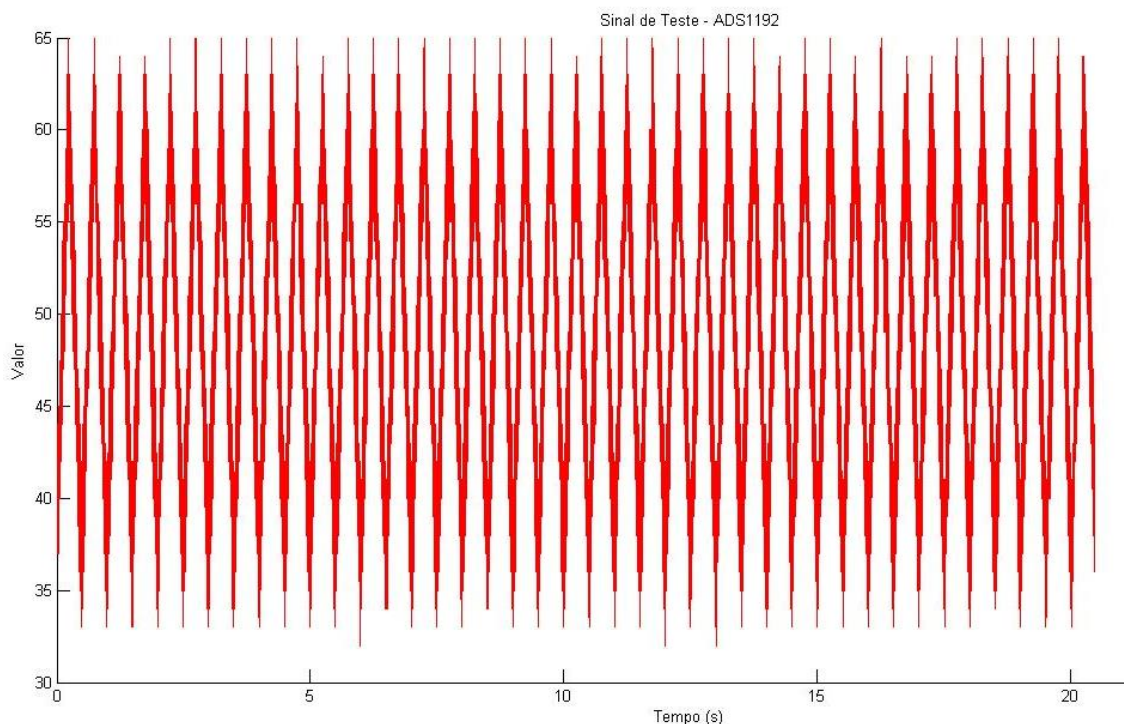


Figura 83 Sinal recolhido na porta série proveniente do canal 2 (derivação 3) do ECG. O sinal foi produzido com recurso ao ESA 620 configurado como se apresenta na figura 81.

Mais uma vez, o sinal que se obteve é condizente com aquele que é gerado no ESA 620, indicando com maior grau de certeza que o sistema construído se encontra bem configurado e a funcionar corretamente.

O teste final realiza-se com a introdução de sinais de ECG nas entradas diferenciais do sistema.

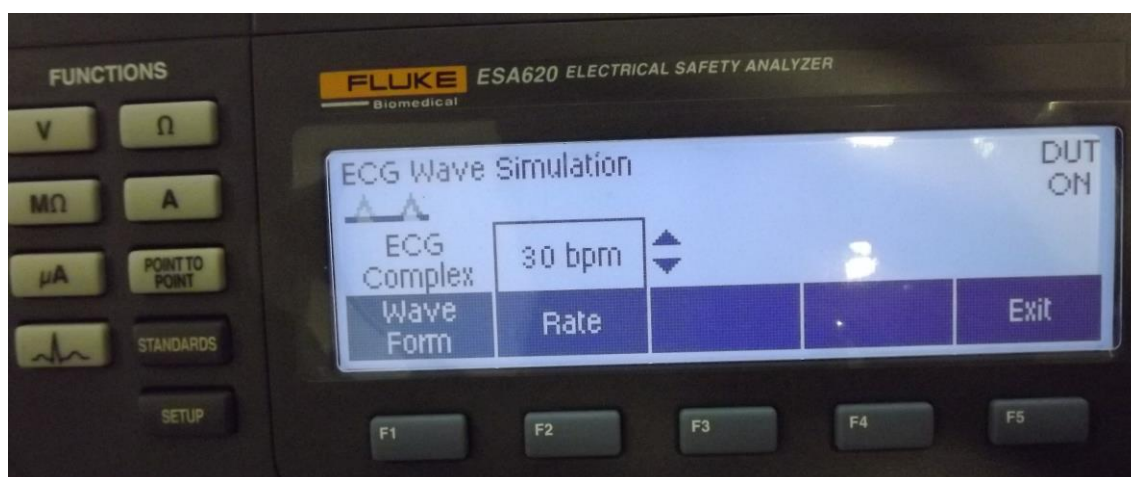


Figura 84 Exemplo do *display* do ESA 620 a gerar uma onda complexa de ECG. Visualiza-se a possibilidade de configurar a frequência dos batimentos que, nas figuras mostradas a seguir, se configurou para 60 e 30 batimentos por minuto, respetivamente.

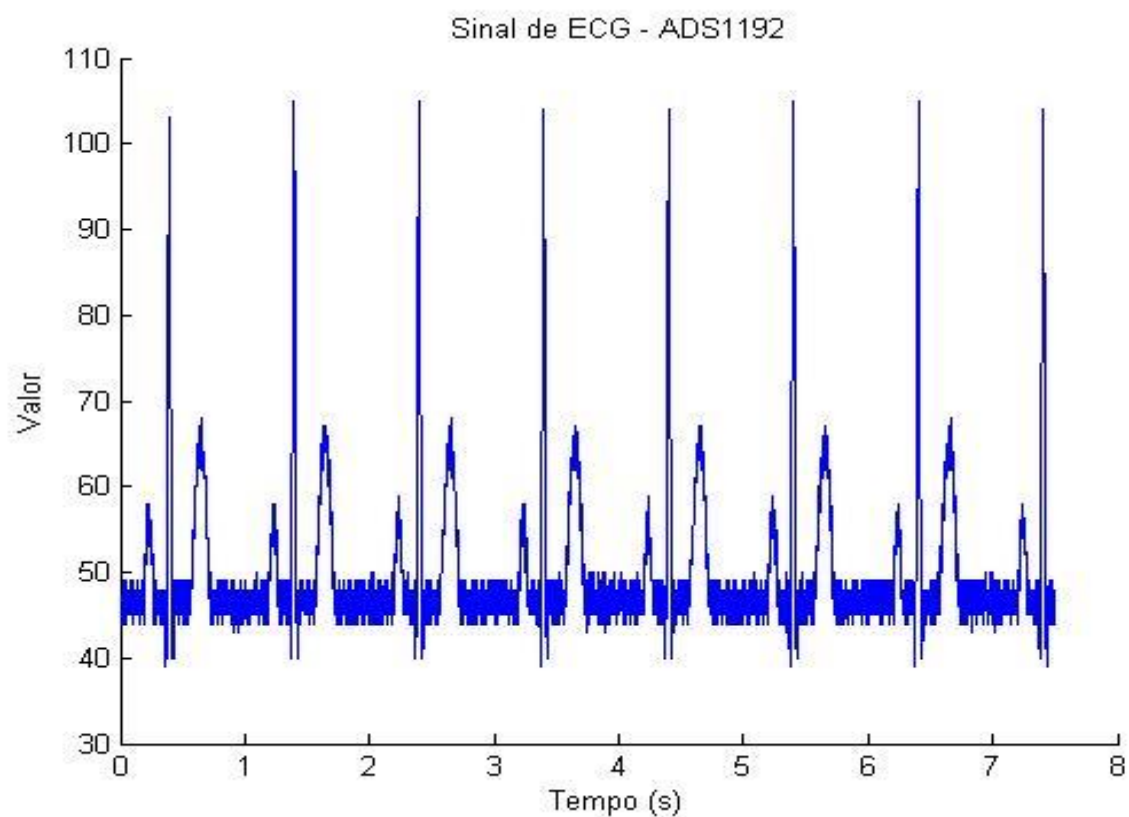


Figura 85 Resultado gráfico do canal 1 (derivação 1) obtido na porta série, com o ESA 620 configurado para fornecer um sinal de ECG a uma frequência de 60 batimentos/minuto.

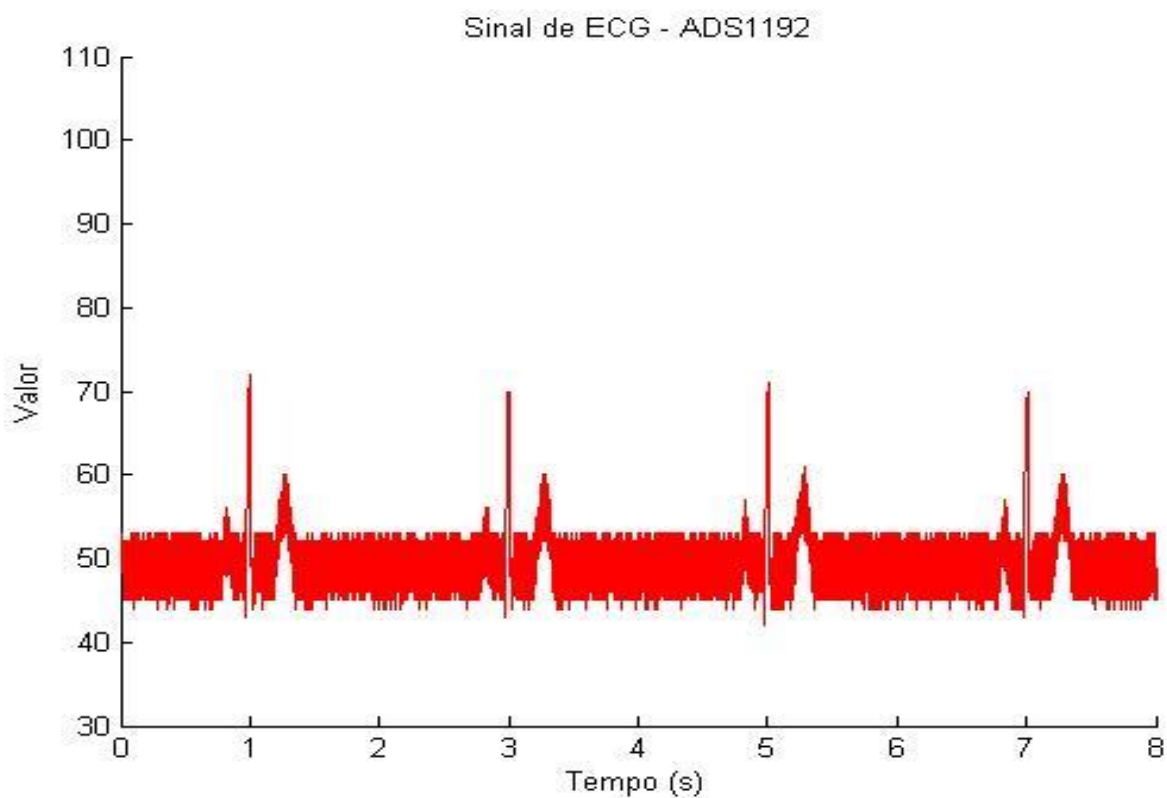


Figura 86 Resultado gráfico do canal 2 (derivação 3) obtido na porta série, com o ESA 620 configurado para fornecer um sinal de ECG a uma frequência de 30 batimentos/minuto.

É possível verificar que os sinais recolhidos e amostrados nas figuras 85 e 86 correspondem igualmente ao que seria expectável. Assim, e apesar do ruído que se verifica nos gráficos supramencionados, pode-se afirmar que o sistema se encontra a funcionar corretamente, sendo capaz de recolher o sinal de ECG nas suas duas entradas diferenciais, converter o sinal analógico em sinal digital, estabelecer a comunicação entre o ADS1192 e o MCU utilizado (ATmega 128) através do SPI e, finalmente, enviar um sinal através do USART para a porta COM do computador utilizado.

Apesar das entradas diferenciais não possuírem nenhum tipo de filtro analógico antes de seguirem para o ADS1192, é possível que, sendo a alimentação proveniente da placa de desenvolvimento, que é alimentada através do USB do computador auxiliar e depois ajustada para os 3,3V, possa existir algum ruído proveniente desta fonte. Ainda que se tenha tido o cuidado de desenhar um filtro analógico para a alimentação da PCB, vai ser testado o desempenho do sistema recorrendo a uma alimentação externa.

6.3. Utilização de uma Alimentação Externa no Circuito

Pretende-se que a placa seja alimentada a uma tensão de 3,3V que, segundo a informação disponível na *datasheet* do ADS1192, se encontra na gama de valores possíveis. Até então, tem-se optado por alimentar o circuito através da tensão no pino V_{CC} do MCU, regulada para se encontrar a uma tensão de 3,3V. Contudo, a este tipo de alimentação está associada uma menor constância deste valor devido ao maior número de interfaces entre a origem desta alimentação (porta USB do computador auxiliar) e o ADS1192 a que se quer fornecer energia. Assim sendo, é esperado que existam maiores índices de ruído.



Figura 87 Fonte de alimentação externa utilizada.

Desta forma, irá ser aplicada uma tensão de alimentação com uma proveniência externa, igual à que é visualizada na figura 87, e serão analisados os sinais recolhidos

para estudar se existe, de facto, uma diferença considerável no ruído existente. Uma vez que o equipamento utilizado já não era calibrado há algum tempo, houve necessidade de se efetuar essa calibração recorrendo a um multímetro. Essa é a razão para se visualizar o valor de 3,4V no display.

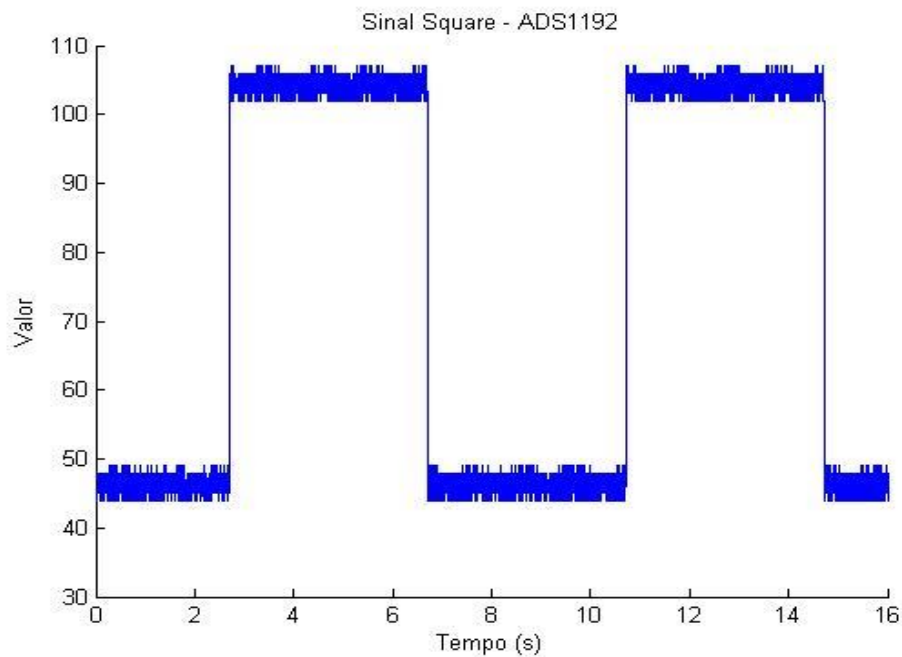


Figura 88 Sinal do canal 1 (derivação 1) gerado a partir do ESA 620 com uma onda quadrangular, com o circuito a ser alimentado com uma fonte de alimentação externa.

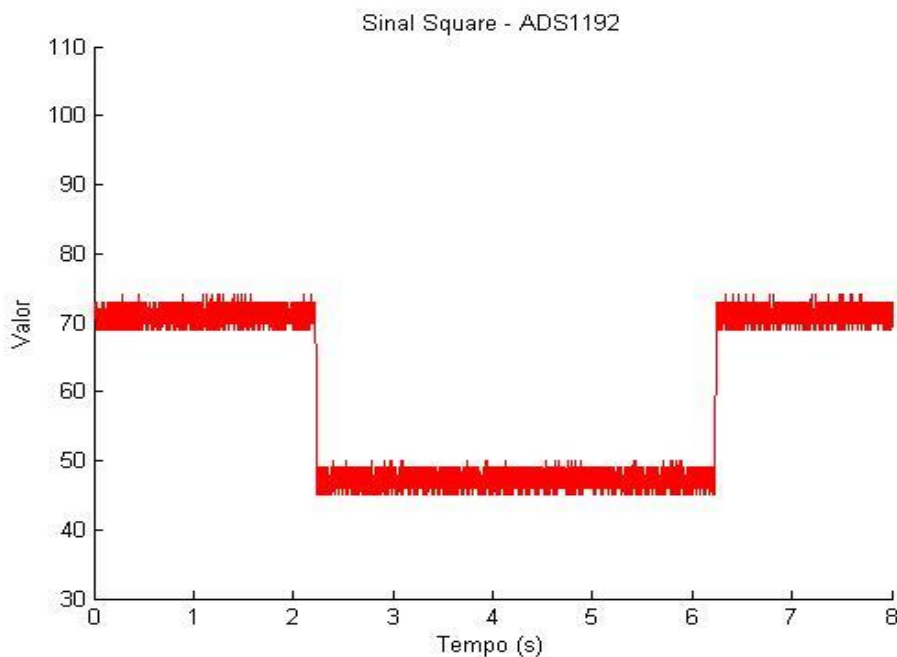


Figura 89 Sinal do canal 2 (derivação 3) gerado a partir do ESA 620 com uma onda quadrangular, com o circuito a ser alimentado com uma fonte de alimentação externa.

Atentando nos gráficos das figuras 88 e 89 é visível que o ruído existente no sinal diminuiu consideravelmente. Irá ser agora verificada essa diferença para o sinal triangular e para o sinal complexo de ECG.

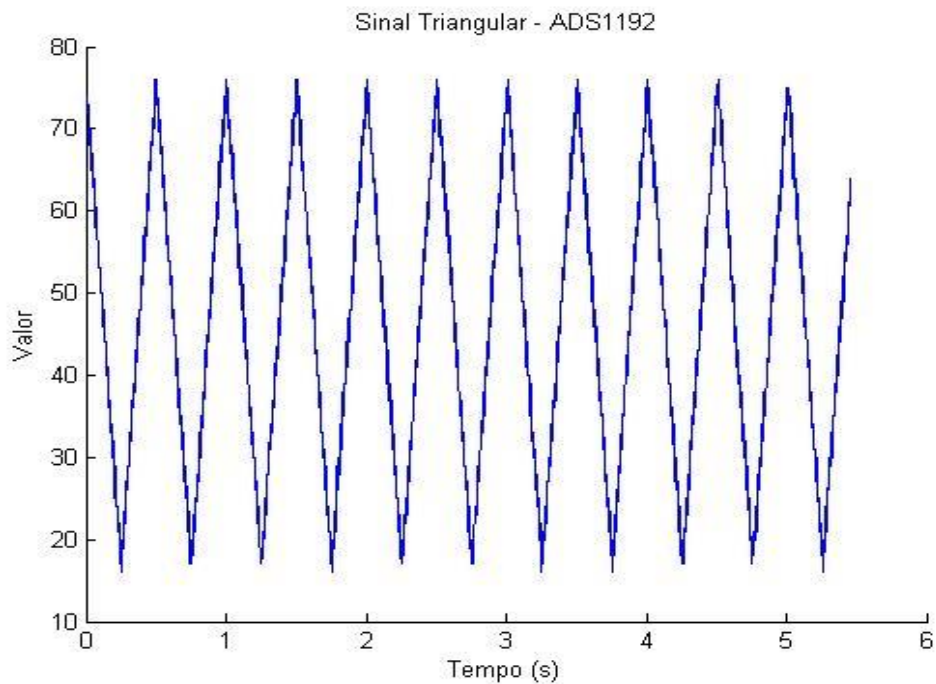


Figura 90 Sinal do canal 1 (derivação 1) gerado a partir do ESA 620 com um sinal triangular, com o circuito a ser alimentado com uma fonte de alimentação externa.

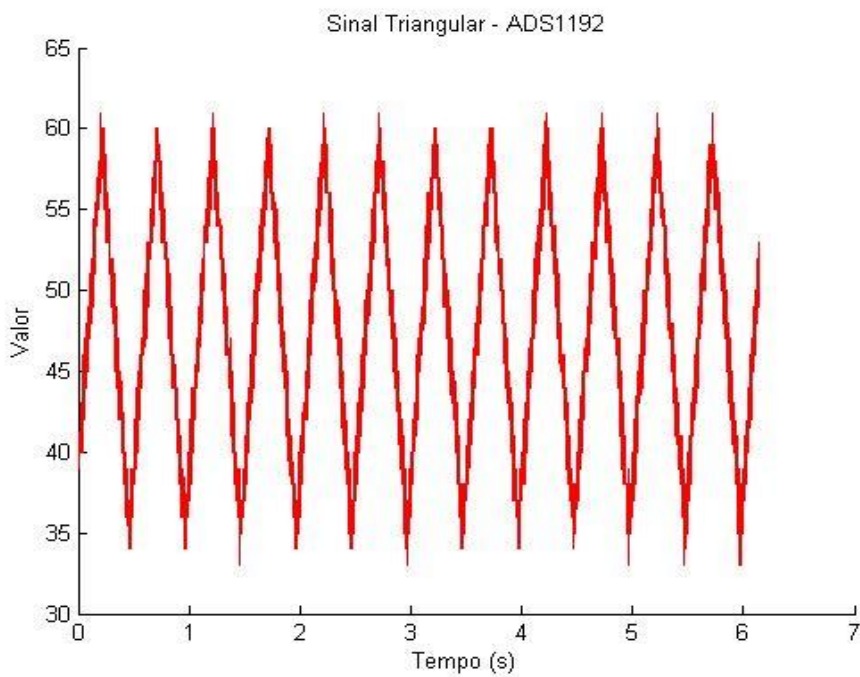


Figura 91 Sinal do canal 2 (derivação 3) gerado a partir do ESA 620 com um sinal triangular, com o circuito a ser alimentado com uma fonte de alimentação externa.

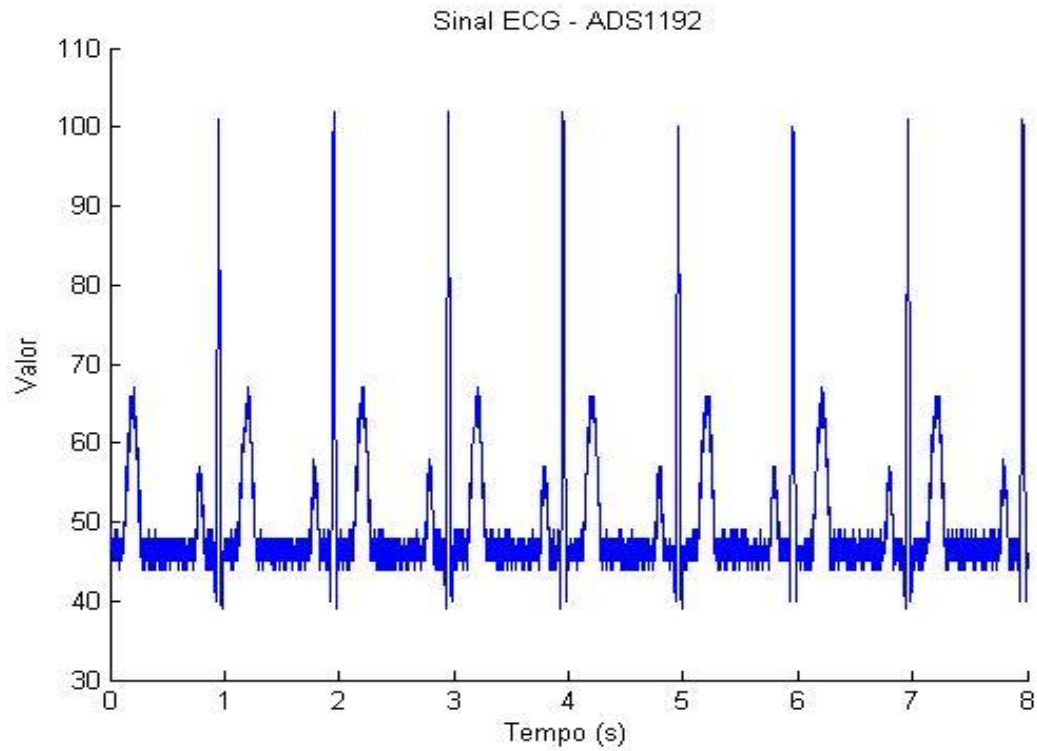


Figura 92 Sinal do canal 1 (derivação 1) gerado a partir do ESA 620 com um sinal complexo de ECG, com o circuito a ser alimentado com uma fonte de alimentação externa.

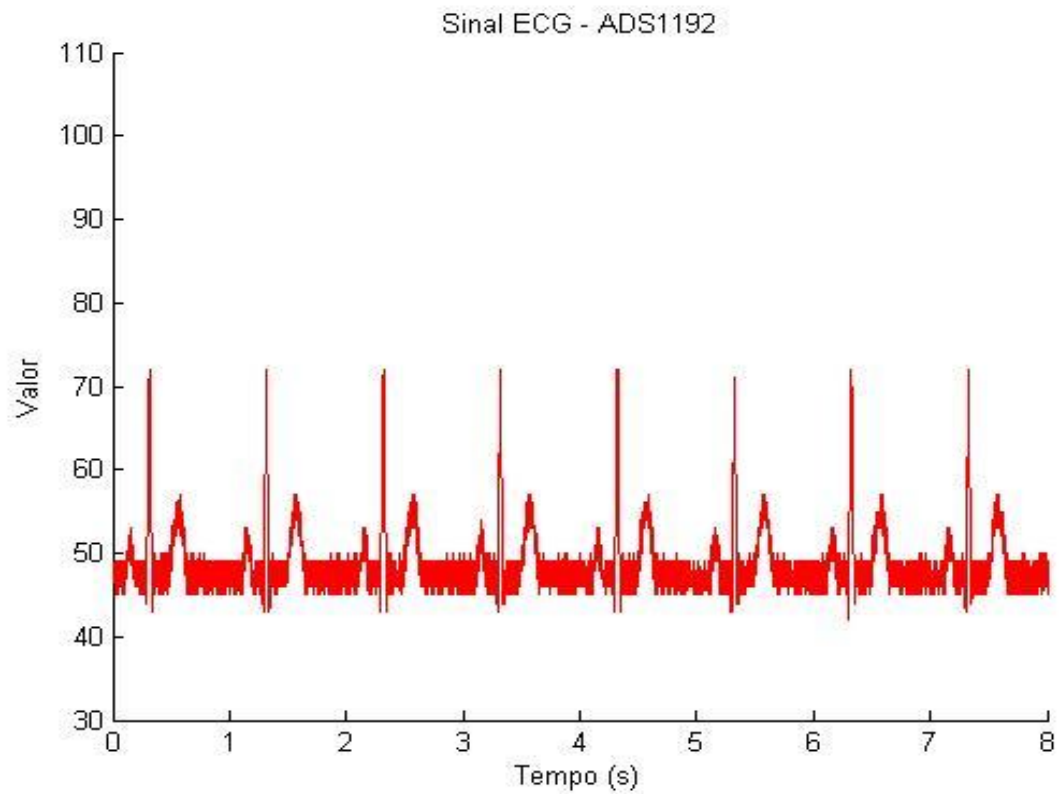


Figura 93 Sinal do canal 2 (derivação 3) gerado a partir do ESA 620 com um sinal complexo de ECG, com o circuito a ser alimentado com uma fonte de alimentação externa.

6.4. Interface Gráfica de Testes desenvolvida em C#

Dada a dificuldade em se visualizar, em tempo real, o sinal amostrado pelo sistema desenvolvido, decidiu-se realizar uma outra tarefa que não constava no planeamento que foi delineado inicialmente. Esta teve como objetivo a recolha das amostras através da porta COM disponível e a amostragem dos valores recolhidos separadamente, em função dos canais. A acrescentar a isto, pretendeu-se construir um gráfico que mostrasse, igualmente em tempo real, o sinal dos dois canais do ECG desenvolvido.

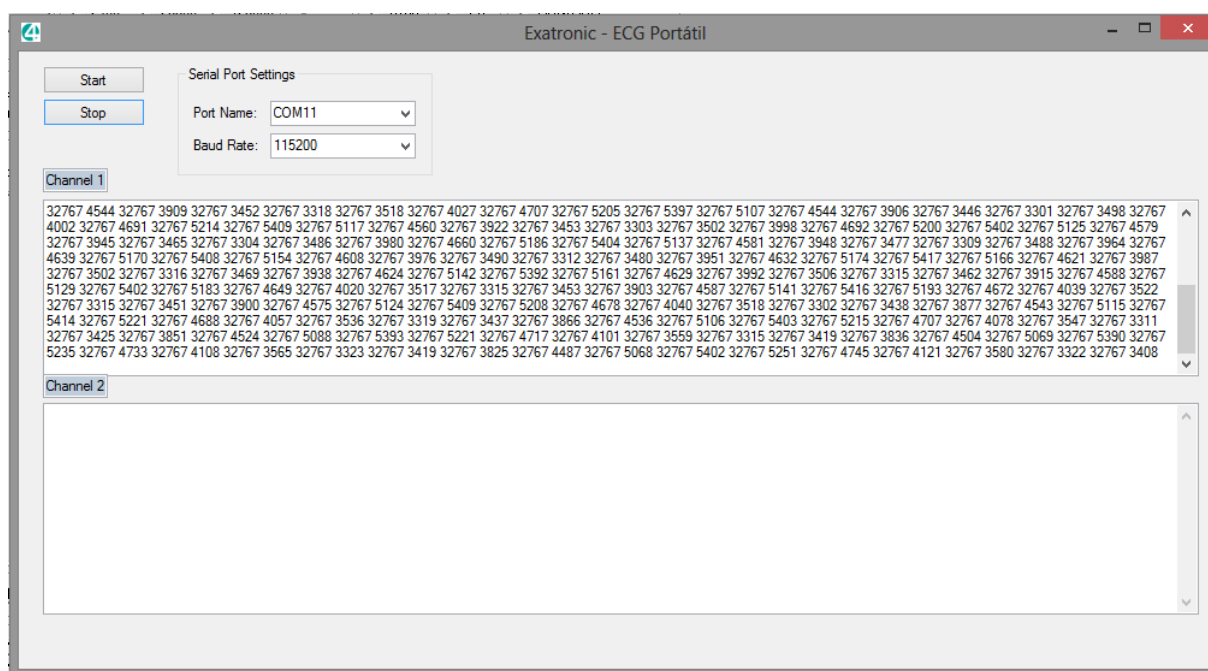


Figura 94 *Display* da primeira versão da interface gráfica do programa de testes desenvolvida em C#.

A principal vantagem do programa desenvolvido na linguagem C# foi a de permitir analisar a qualidade do sinal à saída do ADS1192 e poder iterar de forma mais rápida e precisa. Sem o recurso a este programa desenvolvido à medida, os dados teriam de ser guardados num documento de texto (.txt) e serem, posteriormente, amostrados graficamente recorrendo ao programa MatLab®.

Nas figuras 94 e 95 visualizam-se as interfaces gráficas inicial e final do programa de testes. Na primeira, e que demonstra o primeiro objetivo do desenvolvimento, pretendeu-se apenas recolher e mostrar os blocos de dados recolhidos na porta série do computador, ao invés que na segunda se visualizam os valores e respetivos gráficos dos dois canais de ECG em tempo real.

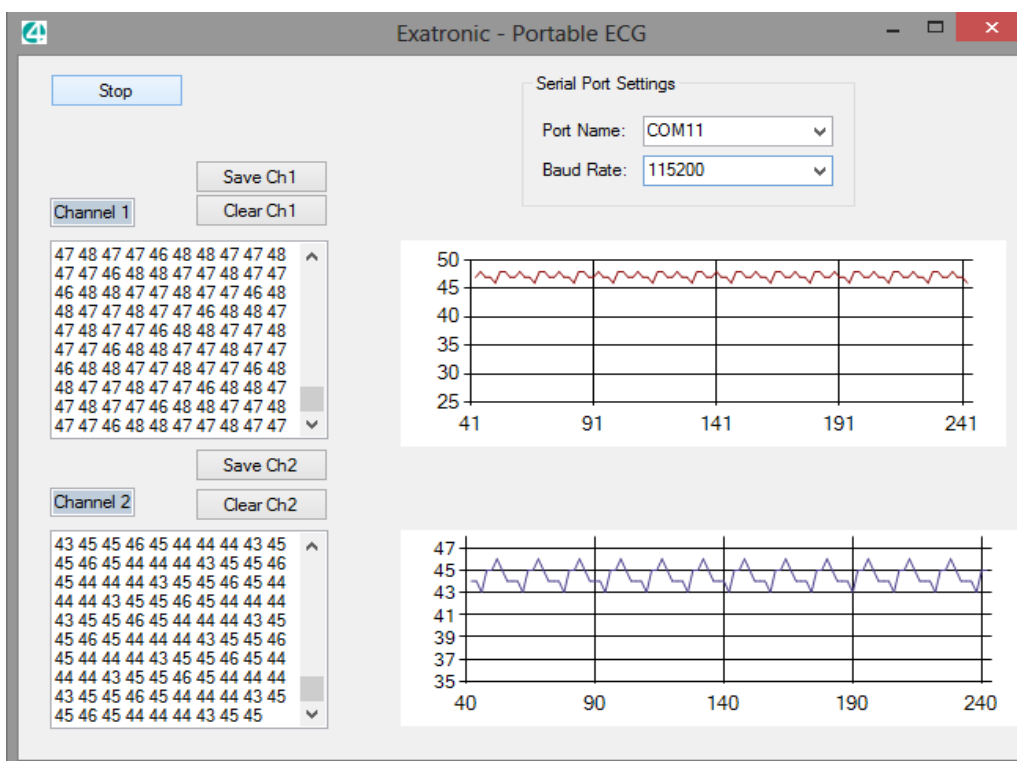


Figura 95 Display da versão final da interface gráfica do programa de testes desenvolvida em C#.

6.5. Consumos Elétricos do Sistema Desenvolvido

Para avaliar a incorporação de uma fonte de alimentação interna no equipamento desenvolvido é necessário estudar, primeiro, os consumos energéticos existentes. Deste modo, alinhou-se um sistema composto pelo equipamento desenvolvido, que engloba o ATmega128 e a PCB com o ADS1192 e a memória AT25DF041A, descrita no capítulo VII, uma alimentação energética externa (9V) e um amperímetro de bancada, dispostos como consta no diagrama seguinte.

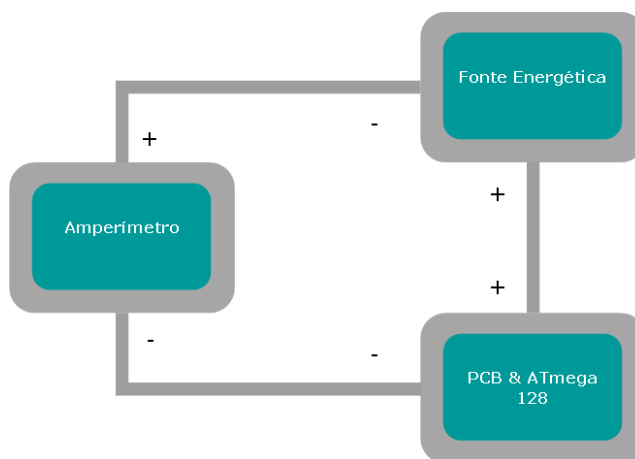


Figura 96 Circuito eletrónico para a medição do consumo elétrico do sistema.

Tal como se pode confirmar pela figura abaixo, a corrente média fornecida ao equipamento é de 0.02964 A DC. Considerando que um ECG portátil deste género poderá, por um lado, ter monitorizações durante 24 horas diárias ou, por outro lado, funcionar apenas em determinadas horas do dia (considerando 3 horas diárias, por exemplo) vão ser propostas duas possibilidades para baterias a incorporar.



Figura 97 Consumo elétrico médio do sistema desenvolvido (PCB & ATmega 128).

Para a primeira possibilidade, e considerando monitorizações contínuas de 24 horas, vai ser proposta uma bateria recarregável que possa ser utilizada durante 2 dias sem necessidade de ser recarregada.

$$2 \text{ dias} \times 24 \text{ horas} = 48 \text{ horas}$$

$$48 \text{ horas} \times 0,02964 \text{ A} = 1.42272 \text{ Ah}$$

Para esta solução, terá de ser adquirida uma bateria com uma capacidade de 1.423 Ah. Caso se concluísse que um dispositivo em que uma bateria fosse recarregada diariamente continuasse a ser válido na óptica do utilizador, obter-se-ia uma capacidade consideravelmente mais pequena e que aumentaria a possibilidade de escolha da solução de baterias.

$$24 \text{ horas} \times 0,02964 \text{ A} = 0.7114 \text{ Ah}$$

Para a segunda possibilidade, e considerando agora que o utilizador utilizaria o dispositivo diariamente durante 3 horas, e para utilizar durante 20 dias, vai-se obter a seguinte capacidade.

$$20 \text{ dias} \times 3 \text{ horas} = 60 \text{ horas}$$

$$60 \text{ horas} \times 0.02964 \text{ A} = 1.7784 \text{ Ah}$$

Da mesma forma, caso se pretenda que seja utilizável sem necessidade de recarregamento durante 10 dias, ao invés dos 20, vamos obter um consumo menor e que aumentará o leque de soluções de baterias a serem escolhidas.

$$30 \text{ horas} \times 0.02964A = 0.8892 \text{ Ah}$$

6.6. Dimensões da PCB

Outro dos fatores determinantes para aumentar a usabilidade por parte do utilizador do dispositivo de ECG portátil são as suas dimensões.

Tal como se pode consultar no anexo II do presente documento, foram desenvolvidas três soluções para PCBs com o sistema desenvolvido ao longo deste trabalho. Duas delas, com as mesmas dimensões, apresentam apenas o módulo de aquisição com o ADS1192 com duas e três entradas diferenciais, respetivamente. A outra solução incorpora, para além do módulo de aquisição, o MCU e uma memória que será discutida no capítulo VII.

Apesar de se ter desenvolvido a PCB apenas com o módulo de aquisição, para duas entradas diferenciais, apresentam-se igualmente as dimensões da PCB que incorpora o ATmega 128.

PCB com o módulo de aquisição desenvolvido neste trabalho, com os dois canais diferenciais

$$X = 54,02 \text{ mm (comprimento)}$$

$$Y = 41,53 \text{ mm (largura)}$$

PCB com o ATmega128 e o ADS1192

$$X = 96,27 \text{ mm (comprimento)}$$

$$Y = 44,5 \text{ mm (largura)}$$

Para que possa ser estabelecida uma comparação, deve atentar-se nas dimensões de um dispositivo semelhante, mostrado na figura 98. Este *Holter ECG*, da *Labtech*, USA, apresenta as dimensões 67,5 x 53 x 18,5 mm, um pouco menores do que a PCB que engloba o ATmega 128 e o ADS1192. (64)

Para a elaboração desta PCB no *Altium Designer*[®], tal como se pode ver no anexo II, todos os componentes foram colocados na mesma camada (*layer*) da placa, isto é, todos do mesmo lado. Conseguindo alterar essa conformação de modo a colocar os componentes que englobam a placa nos dois *layers* (*top* e *bottom*) seria possível poupar espaço e garantir dimensões mais competitivas para apresentar este dispositivo no mercado.



Figura 98 Dispositivo Holter da Labtech (USA) (64)

*"The quicker you let go of old cheese,
the sooner you find new cheese."*
Spencer Johnson, in *Who Moved My Cheese* (2002)

Armazenamento de Dados

7. Armazenamento de Dados

Mais do que desenvolver um dispositivo capaz de medir sinais de eletrocardiograma, é fundamental garantir a sua interoperabilidade quando conjugado com diferentes sistemas médicos, de modo a que possa ser utilizado e integrado com estes. Para isso recorre-se a diferentes formatos abertos de armazenamento de dados, que são específicos para eletrocardiogramas, e que vão permitir que os dados recolhidos através do sistema que foi desenvolvido, e que está documentado nesta dissertação, possam ser visualizados em sistemas já existentes em vários consultórios médicos.

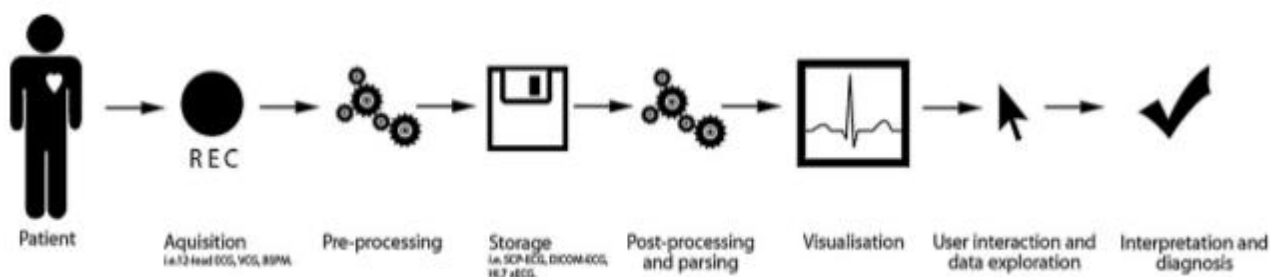


Figura 99 Procedimento típico da gravação e da utilização de um eletrocardiograma. (65)

Este capítulo pretende dar ênfase ao elemento de armazenamento do nosso dispositivo de ECG. Com isto, e tal como é referido no parágrafo anterior, o objetivo é tornar possível o processamento, visualização e interpretação e diagnóstico dos dados recolhidos com o ECG aqui desenvolvido, em variados sistemas já existentes.

A interoperabilidade referida está, portanto, relacionada com a troca de documentação clínica entre e com Sistemas de Informação de Hospitais (HIS) heterogéneos. Isto permitiria, por exemplo, a troca de imagens médicas entre diferentes hospitais, o que se refletiria numa melhoria nos cuidados de saúde dos doentes e permitiria a redução de custos e a desnecessária duplicação de procedimentos. (65) Contudo, existem estudos que foram desenvolvidos no ano 2009 e que apontam que esta interoperabilidade na Europa pode demorar até cerca de 20 anos. (66)

7.1. Gravação dos dados recolhidos

Existem duas possibilidades principais para a execução prática deste capítulo, em função do sítio e da forma como os dados são armazenados. Por um lado, podemos continuar a recolher os dados em tempo real e a recebê-los na porta COM do computador associado, tal como foi demonstrado no capítulo anterior, sendo os dados gravados e depois processados no computador. Porém, o intuito principal do ECG desenvolvido é perdido, uma vez que se torna necessário ter o sistema permanentemente conectado ao computador para registar esses dados na memória.

A segunda abordagem passa por incorporar uma memória anexa ao sistema desenvolvido e fazer com que os dados recolhidos em tempo real sejam armazenados nessa mesma memória, podendo ser posteriormente processados e analisados num computador.

Tendo em conta os objetivos do projeto, optou-se pela segunda opção. Deste modo, procedeu-se à escolha de uma memória que permita o armazenamento dos dados recolhidos através do dispositivo portátil de ECG desenvolvido.

7.1.1. AT25DF041A, 4 Megabits

Por questões que se prenderam essencialmente com conveniência prática, por existir e ser de corrente utilização na Exatronic, selecionou-se a memória AT25DF041A para ser incorporada no sistema de ECG Portátil desenvolvido.

Trata-se de uma memória de 4 Megabits, que funciona através do protocolo SPI, já utilizado anteriormente para a programação do ADS1192, que pode ser alimentada com os mesmos valores de tensão que se utilizam para o restante sistema (2.3V até 3.6V) e que permite frequências de funcionamento até 70 MHz. (67) Nas figuras 100 e 101 apresentam-se a esquematização da memória e os pinos existentes.

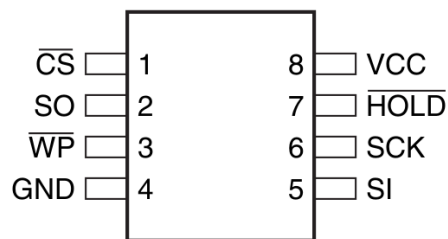


Figura 100 Top view do AT25DF041A utilizado. (67)



Figura 101 Visualização 3D da memória AT25DF041A

Mostra-se igualmente, a descrição das funcionalidades de cada um dos pinos existentes.

Tabela 8 Descrição dos pinos da memória AT25DF041A. (67)

Nome	Terminal	Função	Descrição
CS	1	Entrada Digital	Seleção do chip
SO	2	Saída Digital	Saída de dados SPI
WP	3	Entrada Digital	Proteção de Escrita
GND	4	Alimentação	Terra
SI	5	Entrada Digital	Entrada de dados SPI
SCK	6	Entrada Digital	Relógio do SPI
HOLD	7	Entrada Digital	Pausa do Sistema
VCC	8	Alimentação	2.3 a 3.6V

Uma vez que esta memória vai ser integrada no sistema já existente, vão ter de ser analisadas as ligações dos pinos da memória, tendo em conta onde vão estar conectadas e de que forma se vão ligar ao ATmega 128. Antes de se transitar para esse estudo, vamos atentar na arquitetura da memória.

Internal Sectoring for Sector Protection Function	Block Erase Detail			Block Address Range	Page Program Detail		
	64KB Block Erase (D8h Command)	32KB Block Erase (52h Command)	4KB Block Erase (20h Command)		1-256 Byte Page Program (02h Command)	Page Address Range	
16KB (Sector 10)	64KB	32KB	4KB	07FFFFh - 07F000h	256 Bytes	07FFFFh - 07FF00h	
			4KB	07EFFFh - 07E000h	256 Bytes	07EFFFh - 07FE00h	
			4KB	07DFFFh - 07D000h	256 Bytes	07DFFFh - 07FD00h	
			4KB	07CFFFh - 07C000h	256 Bytes	07CFFFh - 07FC00h	
			4KB	07BFFFh - 07B000h	256 Bytes	07BFFFh - 07FB00h	
			4KB	07AFFh - 07A000h	256 Bytes	07AFFh - 07FA00h	
			4KB	079FFFh - 079000h	256 Bytes	079FFFh - 07F900h	
			4KB	078FFFh - 078000h	256 Bytes	078FFFh - 07F800h	
		32KB (Sector 7)	32KB	4KB	077FFFh - 077000h	256 Bytes	077FFFh - 07F700h
				4KB	076FFFh - 076000h	256 Bytes	076FFFh - 07F600h
				4KB	075FFFh - 075000h	256 Bytes	075FFFh - 07F500h
				4KB	074FFFh - 074000h	256 Bytes	074FFFh - 07F400h
				4KB	073FFFh - 073000h	256 Bytes	073FFFh - 07F300h
				4KB	072FFFh - 072000h	256 Bytes	072FFFh - 07F200h
				4KB	071FFFh - 071000h	256 Bytes	071FFFh - 07F100h
				4KB	070FFFh - 070000h	256 Bytes	070FFFh - 07F000h
64KB (Sector 6)	64KB	32KB	4KB	06FFFFh - 06F000h	256 Bytes	07EFFFh - 07EF00h	
			4KB	06EFFFh - 06E000h	256 Bytes	07EFFFh - 07EE00h	
			4KB	06DFFFh - 06D000h	256 Bytes	07EFFFh - 07ED00h	
			4KB	06CFFFh - 06C000h	256 Bytes	07EFFFh - 07EC00h	
			4KB	06BFFFh - 06B000h	256 Bytes	07EFFFh - 07EB00h	
			4KB	06AFFh - 06A000h	256 Bytes	07EFFFh - 07EA00h	
			4KB	069FFFh - 069000h	256 Bytes	07E9FFFh - 07E900h	
			4KB	068FFFh - 068000h	256 Bytes	07E8FFFh - 07E800h	
		32KB	4KB	067FFFh - 067000h	256 Bytes	0017FFFh - 001700h	
			4KB	066FFFh - 066000h	256 Bytes	0016FFFh - 001600h	
			4KB	065FFFh - 065000h	256 Bytes	0015FFFh - 001500h	
			4KB	064FFFh - 064000h	256 Bytes	0014FFFh - 001400h	
			4KB	063FFFh - 063000h	256 Bytes	0013FFFh - 001300h	
			4KB	062FFFh - 062000h	256 Bytes	0012FFFh - 001200h	
			4KB	061FFFh - 061000h	256 Bytes	0011FFFh - 001100h	
			4KB	060FFFh - 060000h	256 Bytes	0010FFFh - 001000h	
64KB (Sector 0)	64KB	32KB	4KB	00FFFFh - 00F000h	256 Bytes	000FFFh - 000F00h	
			4KB	00EFFFh - 00E000h	256 Bytes	000FFFh - 000E00h	
			4KB	00DFFFh - 00D000h	256 Bytes	000FFFh - 000D00h	
			4KB	00CFFFh - 00C000h	256 Bytes	000FFFh - 000C00h	
			4KB	00BFFFh - 00B000h	256 Bytes	000FFFh - 000B00h	
			4KB	00AFFh - 00A000h	256 Bytes	000FFFh - 000A00h	
			4KB	009FFFh - 009000h	256 Bytes	0009FFFh - 000900h	
			4KB	008FFFh - 008000h	256 Bytes	0008FFFh - 000800h	
		32KB	4KB	007FFFh - 007000h	256 Bytes	0007FFFh - 000700h	
			4KB	006FFFh - 006000h	256 Bytes	0006FFFh - 000600h	
			4KB	005FFFh - 005000h	256 Bytes	0005FFFh - 000500h	
			4KB	004FFFh - 004000h	256 Bytes	0004FFFh - 000400h	
			4KB	003FFFh - 003000h	256 Bytes	0003FFFh - 000300h	
			4KB	002FFFh - 002000h	256 Bytes	0002FFFh - 000200h	
			4KB	001FFFh - 001000h	256 Bytes	0001FFFh - 000100h	
			4KB	000FFFh - 000000h	256 Bytes	0000FFFh - 000000h	

Figura 102 Diagrama da arquitetura da Memória. (67)

De acordo com a figura 102, visualiza-se que a a memória possui 11 sectores divididos em blocos mais pequenos que, por sua vez, possuem páginas de 256 bytes. Esta é uma informação necessária para perceber a estrutura e a localização dos dados que se pretendem guardar.

A única forma de incorporar a memória no sistema já desenvolvido é utilizar as ligações de SPI já existentes entre o ATmega 128 e o ADS1192. Recorde-se que, tal como vem descrito na figura 56, capítulo V, existem 3 pinos do ATmega 128 destinados para a comunicação SPI, o nSCLK (pino PB1), o MOSI (pino PB2) e o MISO (pino PB3). (59) Desta forma, as ligações dos pinos da memória terão, obrigatoriamente, de ser conectados a esses pinos, uma vez que utilizam o protocolo de comunicação SPI e os três pinos supramencionados ficarão, desta forma, conectados simultaneamente ao ADS1192 e à memória AT25DF041A. O controlo do dispositivo funcional para cada comunicação SPI com o MCU será determinada através do *Chip Select* (CS) fazendo com que, quando se quiser comunicar com o ADS1192, seja ativado o seu pino associado ao CS e desativado o CS da memória e, quando se quiser comunicar com a memória, seja ativado o seu CS e desativado o CS do ADS1192.

7.1.2. Funcionamento da AT25DF041A

O modo de funcionamento da memória assemelha-se ao que acontece com o ADS1192, tal como se pode ver na figura 103. É controlado por um dispositivo externo que, neste caso, será o ATmega 128 que é comumente designado por *SPI Master* e apresenta 4 pinos dedicados para essa comunicação: *Chip Select* (CS), *Serial Clock* (SCK), *Serial Input* (SI) ou *Serial Output* (SO).

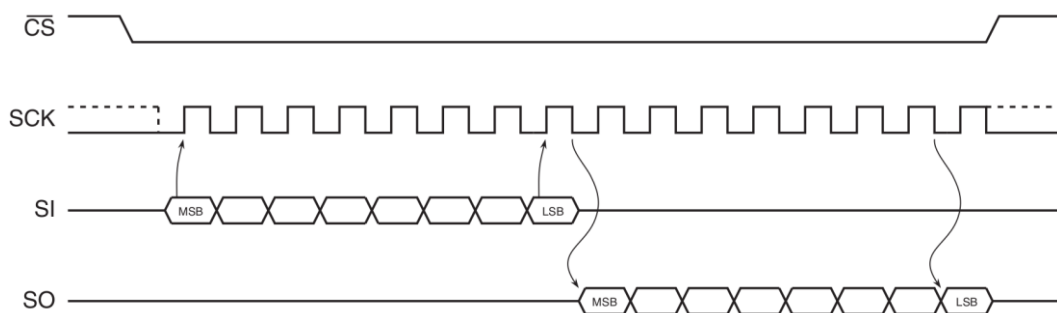


Figura 103 Modo de funcionamento da memória. (67)

Como se pode ver, depois de ativado o Chip Select que torna as oscilações do relógio válidas, vai ser introduzido o comando (*Opcode* na figura 104) que corresponde à função que se pretende desempenhar. A título de exemplo, para que sejam lidos os registos da memória, teria de ser enviado o comando 05h (hexadecimal) e esperar receber no DOUT o respetivo valor dos registos da memória.

Command	Opcode	Address Bytes	Dummy Bytes	Data Bytes
Read Commands				
Read Array	0Bh 0000 1011	3	1	1+
Read Array (Low Frequency)	03h 0000 0011	3	0	1+
Program and Erase Commands				
Block Erase (4 Kbytes)	20h 0010 0000	3	0	0
Block Erase (32 Kbytes)	52h 0101 0010	3	0	0
Block Erase (64 Kbytes)	D8h 1101 1000	3	0	0
Chip Erase	60h 0110 0000	0	0	0
	C7h 1100 0111	0	0	0
Byte/Page Program (1 to 256 Bytes)	02h 0000 0010	3	0	1+
Sequential Program Mode	ADh 1010 1101	3, 0 ⁽¹⁾	0	1
	AFh 1010 1111	3, 0 ⁽¹⁾	0	1
Protection Commands				
Write Enable	06h 0000 0110	0	0	0
Write Disable	04h 0000 0100	0	0	0
Protect Sector	36h 0011 0110	3	0	0
Unprotect Sector	39h 0011 1001	3	0	0
Global Protect/Unprotect	Use Write Status Register command			
Read Sector Protection Registers	3Ch 0011 1100	3	0	1+
Status Register Commands				
Read Status Register	05h 0000 0101	0	0	1+
Write Status Register	01h 0000 0001	0	0	1
Miscellaneous Commands				
Read Manufacturer and Device ID	9Fh 1001 1111	0	0	1 to 4
Deep Power-down	B9h 1011 1001	0	0	0
Resume from Deep Power-down	ABh 1010 1011	0	0	0

Figura 104 Lista dos comandos da memória. (67)

7.1.3. Tamanho da AT25DF041A

É fundamental entender as capacidades da memória que se está a utilizar e perceber se, mais do que poder ser utilizada para testes, tem as características pretendidas para ser usada num dispositivo como um ECG portátil. Assim sendo, vamos perceber a autonomia que a memória possibilita, a trabalhar com uma frequência de 500 amostras/segundo.

$$\text{Tempo de Gravação} = \frac{\text{Memória Disponível}}{\text{Memória Ocupada/s}}$$

Assim sendo, e sabendo que a AT25DF041A tem uma memória disponível de 4 Mbits, que equivale a 500Kbytes, vamos calcular a memória que a informação recolhida pelo ECG ocupa por cada segundo.

$$\text{Memória Ocupada/s} = N^{\circ} \text{ Canais} \times \frac{N^{\circ} \text{ Bytes}}{\text{Canal}} \times \frac{\text{Amostras}}{s}$$

$$\text{Memória Ocupada/s} = 2 \text{ Canais} \times 2 \text{ Bytes/Canal} \times 500 \text{ Amostras/s}$$

$$\text{Memória Ocupada/s} = 2 \text{ Kbytes/s}$$

Percebe-se que a memória utilizada serve para memorizar informação durante alguns minutos.

$$\text{Tempo de Gravação} = \frac{500 \text{ Kbytes}}{2 \text{ Kbytes}} = 250s$$

Tendo em conta a natureza do dispositivo em que se está a trabalhar, concluiu-se que uma memória com esta capacidade não será viável para ser implementada num ECG portátil como aquele em que se está a trabalhar, uma vez que existem dispositivos no mercado capazes de suportar até 120 horas de gravação, 1728 vezes mais do que esta memória AT25DF041A permite. (68) Apesar disso, é importante para testar esta funcionalidade no dispositivo e serão discutidas, no capítulo VIII, opções com maior grau de viabilidade para implementar num futuro equipamento.

7.2. Formatos de Armazenamento de dados de ECG existentes

Como resultado da tentativa de se implementar a referida interoperabilidade, foram desenvolvidos alguns formatos abertos que vão ser analisados ao longo deste subcapítulo. Os protocolos mais conhecidos são o *Digital Imaging and Communications in Medicine Waveform Supplement 30* (DICOM-WS 30) (69), o *Health Level Seven annotated Electrocardiogram* (HL7 aECG) (70) e o *Standard Communications Protocol for computer assisted Electrocardiography* (SCP-ECG) (71). Na tabela 10 encontram-se descritos os formatos mais utilizados, pretendendo-se definir, analisar e rever todos esses protocolos e perceber quais é que terão interesse em serem implementados no ECG portátil desenvolvido.

Tabela 9 Visão Geral dos Protocolos de ECG mais utilizados.

Formato de ECG	Ano	Método de Implementação
SCP-ECG	1993	Binário
DICOM-WS 30	2000	Binário
HL7 aECG	2001	XML
ecgML	2003	XML
MFER	2003	Binário
Philips XML	2004	XML
XML-ECG	2007	XML
mECGml	2008	XML
ecgAware	2008	XML

Uma vez que o objetivo deste capítulo é permitir integrar o dispositivo que foi desenvolvido com o maior número de sistemas médicos possíveis, procedeu-se a uma breve revisão bibliográfica para perceber quais os protocolos predominantes. A conclusão foi de que os três primeiros formatos que constam da tabela 11 são,

atualmente, os protocolos mais abundantes e mais utilizados e, dessa forma, serão revistos com maior pormenor nos subcapítulos seguintes. O objetivo prático será, no final deste estudo, fazer a implementação no nosso dispositivo do protocolo que decidirmos ser mais vantajoso.

7.3. *Standard Communications Protocol for Computer Assisted Electrocardiography (SCP-ECG)*

O SCP-ECG armazena dados de ECG em formato binário. Foi desenvolvido em 1993 e tem sido o *standard* europeu oficial no armazenamento e transmissão de dados de ECG desde 2005. (72)

Cada ficheiro no formato SCP-ECG começa com uma soma de verificação (*checksum*), um código usado para verificar a integridade e detetar erros acidentais que possam ocorrer durante a transmissão ou armazenamento de dados. (73) Depois do *checksum*, existem 4 *bytes* dedicados às dimensões do registo do ECG gravado e, posteriormente, 11 secções adicionais, em que 2 delas têm de existir obrigatoriamente e as restantes 9 são opcionais. (74)

Tabela 10 Estrutura de um ficheiro SCP-ECG. (65)

Nome	Descrição	Utilização
<i>Checksum</i>	<i>Cyclic Redundancy Check (CRC)</i> que contém dois <i>bytes</i> . Detecção de erros que podem ocorrer na transmissão ou armazenamento de dados	Obrigatória
<i>File Size</i>	Dimensão da totalidade dos ficheiros de ECG, em <i>bytes</i> . Est secção contém 4 <i>unsigned bytes</i>	Obrigatória
Secção 0	Secção com o indicador (<i>pointer</i>) para as áreas com informação nos dados gravados	Obrigatória
Secção 1	Informação de cabeçalho, com os dados do paciente. Pode ter um número variável de <i>bytes</i>	Obrigatória
Secção 2	Codificação dos dados de ECG, recorrendo a tabelas de <i>Huffman</i> ²	Opcional
Secção 3	Definição dos canais	Opcional
Secção 4	Localizações do complexo QRS	Opcional
Secção 5	Batimento cardíaco de referência	Opcional
Secção 6	Sinal residual após a subtração do batimento cardíaco de referência	Opcional
Secção 7	Medições globais	Opcional
Secção 8	Diagnóstico	Opcional
Secção 9	Informação de diagnóstico especificada pelo fabricante	Opcional
Secção 10	Medições dos canais	Opcional
Secção 11	Códigos de afirmações universais, resultantes da interpretação dos dados	Opcional

² A codificação de *Huffman* é um algoritmo de encodificação que tem como objetivo a compressão de dados com menor número de perdas. Foi inventado por *David A. Huffman* em 1952 e é atualmente utilizado em diversos métodos de compressão, desde o MP3 ao JPEG.

Na tabela 12 é possível analisar a constituição geral da estrutura do SCP-ECG, onde se mostra o objetivo de cada secção e a informação que é armazenada em cada uma delas. Apesar da não obrigatoriedade de algumas secções, elas são oficiais e são definidas nas especificações do SCP-ECG, sendo permitido aos fabricantes introduzir informações personalizadas através da criação das suas próprias secções.

Uma das grandes vantagens da utilização deste formato é a existência de diversas ferramentas *open source* disponíveis para a visualização de dados de ECG armazenados segundo o protocolo SCP-ECG. Para além disso, outro ponto favorável é o pequeno tamanho dos ficheiros devido, essencialmente, às várias técnicas de compressão utilizadas neste formato. Primeiramente, e tal como vem descrito na secção 2 da tabela 11, as tabelas de *Huffman* podem ser utilizadas para comprimir a informação, mas é ainda possível aplicar um cálculo diferencial de primeiro ou segundo grau que permite uma compressão ainda maior. (65)

A primeira e segunda equações diferenciais vêm expressas da seguinte forma:

$$D1(n) = X(n) - X(n - 1)$$
$$D2(n) = X(n) - (2 \times X(n - 1)) + X(n - 2)$$

Neste sistema de compressão a primeira amostra deve guardar o valor que foi verdadeiramente recolhido, sendo os restantes valores calculados em função desta primeira amostra. A título de exemplo, se tivermos $X(2)$ igual a 12 e $X(1)$ igual a 10, então, e atendendo à primeira equação mostrada em cima, o valor real guardado será 2.

De facto, os ficheiros de SCP-ECG conseguem ser até 40 vezes mais pequenos quando comparados com ficheiros XML equivalentes. Dada a grande capacidade de armazenamento existente atualmente, esta característica pode ser habitualmente menosprezada. Contudo, o tamanho dos ficheiros é importante em comunicações e transmissões de dados em ligações com baixa largura de banda, factor importante quando se consideram dispositivos portáteis e ambulatórios. Existem estudos que demonstram a adequabilidade do SCP-ECG para este tipo de aplicações. (75)

Para estudar de maneira mais assertiva as vantagens, desvantagens e analisar as perspetivas de utilizar o SCP-ECG procedeu-se a uma análise SWOT (*Strengths, Weaknesses, Opportunities, Threats*).

Tabela 11 Análise SWOT do SCP-ECG. (65)

Análise SWOT	Descrição
Prós	Ficheiros de pequenas dimensões. Apoiada por uma larga comunidade (OpenECG, por exemplo).
Contras	Complexidade do formato, que contém variadas características opcionais. Isto pode resultar em várias implementações, com erradas interpretações e torna difícil a construção de um programa capaz de suportar todas essas variações. As diversas técnicas de compressão tornam o formato complicado. Não é humanamente legível, apenas através de <i>viewers</i> de SCP-ECG.
Oportunidades	Expansão de formatos para suportar outros conjuntos de dados de ECG como, por exemplo, dispositivos <i>Holter</i> . Tornar-se no formato geral para armazenamento de dados de ECG. Ser adotado e utilizado pela maioria dos eletrocardiógrafos.
Ameaças	As partes interessadas (cardiologistas, fabricantes, ...) podem ser atraídos pela ideia de convergir para um formato como o DICOM, capaz de armazenar dados de diferentes modalidades como é o caso das imagens médicas.

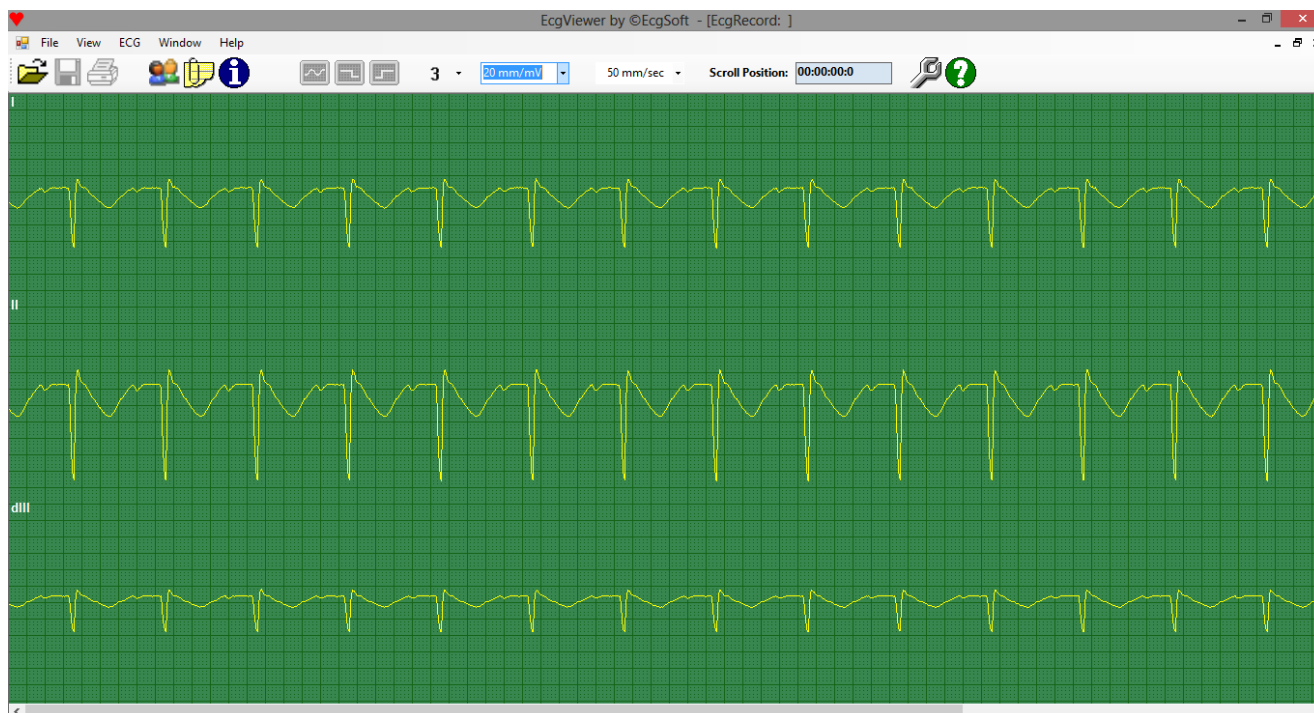


Figura 105 Exemplo de visualizador de dados de ECG, no formato SCP-ECG. O software é o *EcgViewer*, pertencente à *EcgSoft*. (76)

7.4. *Digital Imaging and Communitations in Medicine – ECG (DICOM-ECG)*

O DICOM foi inicialmente criado com o intuito de transmitir imagens radiográficas, dada a necessidade de armazenar, editar e transmitir ficheiros provenientes de Tomografia Computacional (CT) ou de Ressonâncias Magnéticas (MRI), por exemplo, entre dispositivos heterogéneos. Contudo, o objetivo pretendido por este formato é poder ter a capacidade de abranger todas as modalidades de diagnóstico, e a NEMA (*National Electrical Manufactures Association*), entidade criadora do DICOM desenvolveu então suplementos para alguns outros métodos, incluindo o ECG.

Tabela 12 Definição da informação obrigatória e opcional, no formato DICOM. (65)

Entidade	Módulo	Utilização
Utilizador	Utilizador	Obrigatória
Estudo	Estudo Geral	Obrigatória
	Estudo do Utilizador	Opção do Utilizador
Séries	Séries Gerais	Obrigatória
<i>Frame</i> de Referência	Sincronização	Opção do Utilizador
Equipamento	Equipamento Geral	Obrigatória
Forma de Onda	Identificação da Forma de Onda	Obrigatória
	Contexto de Aquisição da Forma de Onda	Obrigatória
	SOP (<i>Service-Object Pair</i>) comum - Anotações da Forma de Onda	Obrigatória

Apesar do formato de armazento de dados médicos ser em binário, o ficheiro contém alguma informação baseada em ASCII, onde se indica informação como o nome do utilizador ou dos dispositivos, por exemplo.

Também aqui, e para tornar a decisão da escolha do formato mais clara, vai realizar-se uma breve análise SWOT, que vem descrita na tabela 15.

Tabela 13 Análise SWOT do DICOM-ECG. (65)

Análise SWOT	Descrição
Prós	<p>Suporta múltiplas modalidades de diagnóstico.</p> <p>Apoiada por uma larga comunidade</p> <p>Apoio global – nível alto de standardização.</p>
Contras	<p>Complexidade.</p> <p>A informação não é comprimida. Poucos eletrocardiógrafos utilizam o formato DICOM-ECG.</p> <p>Não é humanamente legível.</p>
Oportunidades	<p>Tornar-se o único formato dominante que armazena diversos tipos de informação médica.</p> <p>Ser apoiado e utilizado pela maioria dos eletrocardiógrafos.</p>
Ameaças	<p>A percepção que um formato multimodal é demasiado complexo e não dá a atenção/foco necessário a cada modalidade. Em resultado disso, formatos como o SCP-ECG podem tornar-se vantajosos.</p>

7.5. HL7 aECG

Atentando na tabela 11, reparamos que o HL7 aECG foi o primeiro a utilizar o formato XML (*eXtensible Markup Language*). O registo deve começar com a introdução de alguns elementos de identificação, à semelhança do que acontecia nos dois anteriores formatos analisados e que, para o HL7 aECG, deve conter um ID que identifique o ficheiro, um *code element* que defina o método de ECG e um *effective time* que especifique a duração do momento de recolha de dados de ECG. (65)

Após essa informação, apresenta-se a sequência de dados que contém a informação relativa aos diversos canais de ECG, sendo obrigatório que cada sequência, correspondente a cada canal, possua um elemento incremental, como se pode ver na figura 106.

```

<sequenceSet>
  <component>
    <sequence>
      <code code="TIME_ABSOLUTE" codeSystem="2.16.840.1.113883.5.4"
        codeSystemName="ActCode" displayName="Absolute Time"/>
      <value xsi:type="GLIST_TS">
        <head value="20021122091000.000"/>
        <increment value="0.002" unit="s"/>
      </value>
    </sequence>
  </component>
  <component>

```

Figura 106 Excerto de um ficheiro de HL7 aECG onde se mostra o elemento incremental que define o intervalo de tempo entre cada amostra. Neste caso, visualiza-se o valor de 0.002s de diferença entre cada amostra, o que indica uma frequência equivalente de 500 Hz.

À semelhança do que foi feito para os outros dois formatos, também aqui se irá proceder a uma análise SWOT.

Tabela 14 Análise SWOT do HL7-aECG. (65)

Análise SWOT	Descrição
Prós	<p>Vantagens inerentes à utilização do formato XML.</p> <p>Apoiada por uma larga comunidade</p> <p>Humanamente legível. Pode ser aberto por quase todos os editores de texto.</p>
Contras	<p>Poucos ou quase nenhuns eletrocardiógrafos suportam este formato.</p> <p>Uso extenso de códigos. Complicado.</p> <p>Ficheiros com tamanhos grandes.</p>
Oportunidades	<p>Tornar-se o único formato dominante que armazena diversos tipos de informação médica.</p> <p>Ser apoiado e utilizado pela maioria dos eletrocardiógrafos.</p>
Ameaças	<p>A comunidade pode concluir que o formato é demasiado complexo. Pode-se ainda dar o caso de se chegar a um consenso de que este formato só é adequado para testes clínicos e não para uso geral.</p>

7.6. Resultados Práticos

Depois da pesquisa que vem descrita no presente capítulo, decidiu-se optar pela implementação do formato SCP-ECG. Esta decisão adveio de uma análise cuidada das características daquilo que são os três formatos mais recorrentes de armazenamento de dados de ECG e que culminou com a elaboração de análises SWOT para cada um dos formatos.

Os fatores que tiveram maior influência na tomada de decisão foram o facto de o SCP-ECG ser o formato utilizado na grande maioria dos sistemas de eletrocardiografia, e com o maior número de visualizadores dos seus dados, o que facilita a integração do sistema desenvolvido ao longo deste trabalho nos sistemas médicos já existentes. Para além desta vantagem, outro fator importante prende-se com a maior facilidade de formatação dos dados recolhidos através do ADS1192 pela existência de mais informação sobre o formato e a sua implementação, do qual a comunidade *OpenECG* é exemplo. (71)

O objetivo deste módulo prático será, portanto, conseguir armazenar a informação recolhida através do sistema de ECG na memória AT25DF041A para posteriormente converter no formato SCP-ECG quando os dados são recebidos no computador, através do USART.

7.6.1. Armazenamento de Dados na Memória

Serão agora mostradas as questões práticas de *hardware* e *firmware* que são intrínsecas à implementação da memória AT25DF041A.

Como foi referido no ponto 7.1.1, recorre-se aos pinos do MCU que estabelecem a comunicação SPI e que se encontram já em funcionamento, estando conectados ao ADS1192. Desta forma, e uma vez que as definições de SPI são diferentes para os dois componentes, por cada bloco de dados recolhido e digitalmente convertido pelo ADS1192, irá alterar-se o *chip select*, ativando a memória AT25DF041A e desativando o ADS1192, e as configurações do SPI, antes de armazenar esse bloco de dados na posição seguinte ao último bloco de dados registados. Simplificando, mostra-se na figura 108, as ligações de *hardware* entre os dispositivos e os três pinos da comunicação SPI do ATmega128.

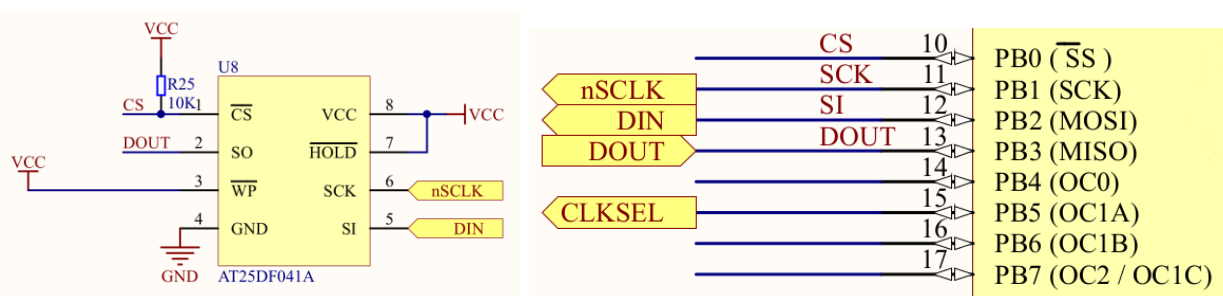


Figura 107 Ligações da memória AT25DF041A com o MCU utilizado.

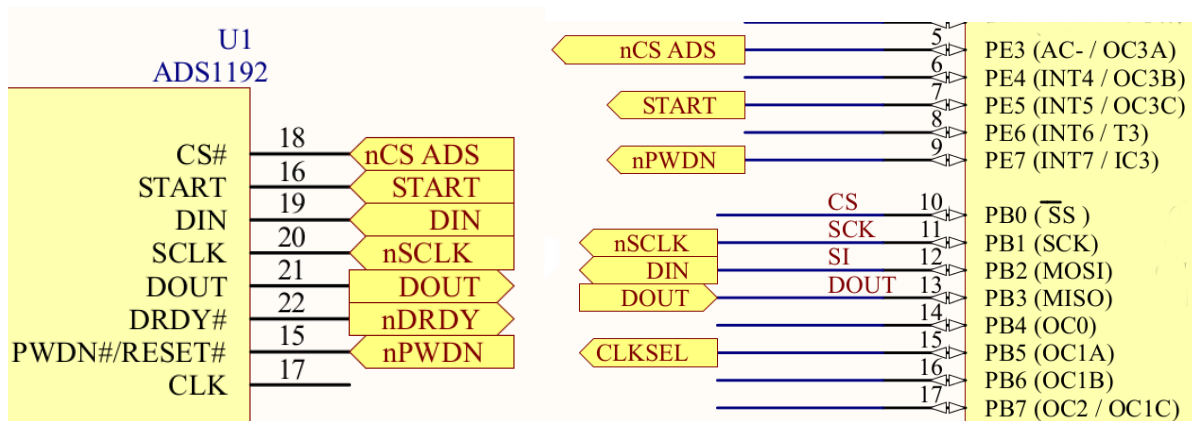


Figura 108 Ligações entre o ADS1192 e o MCU, já analisadas no capítulo IV.

Depois do estudo efetuado e de adicionado o componente à PCB, passa-se para o desenvolvimento do *firmware*. Aqui começa-se por elaborar e testar as funções que irão ser utilizadas para o armazenamento de dados de ECG. Desta forma, constroem-se funções que permitam inicializar o componente, ativar e desativar a escrita na memória, desbloquear setores pretendidos, desbloquear todas as proteções aos setores, escrever bytes ou páginas a partir de uma posição da memória, ler um *array* de *bytes* e ler os registos da memória.

```

unsigned char k;

while(1)
{
    AT25_26DFxxxx_LerMemInfo();

    sprintf((char *)&debug_msg, (const char *)"\rJedec = %d, Family = %d, Dimensao = %d\r", Memoria.JedecCode, Memoria.FamilyCode, Memoria.Dimensao);
    USART0_Transmit_string((unsigned char *)&debug_msg);

    k = 0x41; //Definição de variável K

    sprintf((char *)&debug_msg, (const char *)"\rK_escrito = %d\r", k);
    USART0_Transmit_string((unsigned char *)&debug_msg);

    AT25_26DFxxxx_EscreverBytePage((unsigned char *)&k, 0x200, 2); //Escrita da variável K na posição 200 da memória

    AT25_26DFxxxx_LerStatusRegister();
    USART0_Transmit(SPDR);

    k = 0; //Atribuição de outro valor à variável K

    AT25_26DFxxxx_LerArray(0x200, 2, (unsigned char *)&k); //Atribuição dos valores lidos na posição 200 da memória à variável K

    sprintf((char *)&debug_msg, (const char *)"\rK_lido = %d\r", k); //Impressão da variável K
    USART0_Transmit_string((unsigned char *)&debug_msg);
}

```

Figura 109 Excerto do código gerado para testar as funções criadas para a memória AT25DF041A.

Na figura 109 mostra-se o código executado para testar as funções criadas, referenciadas no parágrafo anterior. Começa-se por inicializar a memória, selecionando o seu \overline{CS} e por configurar os parâmetros da comunicação SPI como definido na *datasheet* do componente. (67) Após isso, define-se uma variável k cujo valor se vai escrever na memória e, posteriormente, tentar ler para verificar se o valor foi devidamente escrito e guardado. Para garantir que o valor de k que se está a ler não é igual ao valor atribuído à variável anteriormente, antes de ser invocada a função de leitura restabelece-se o valor de k para 0.

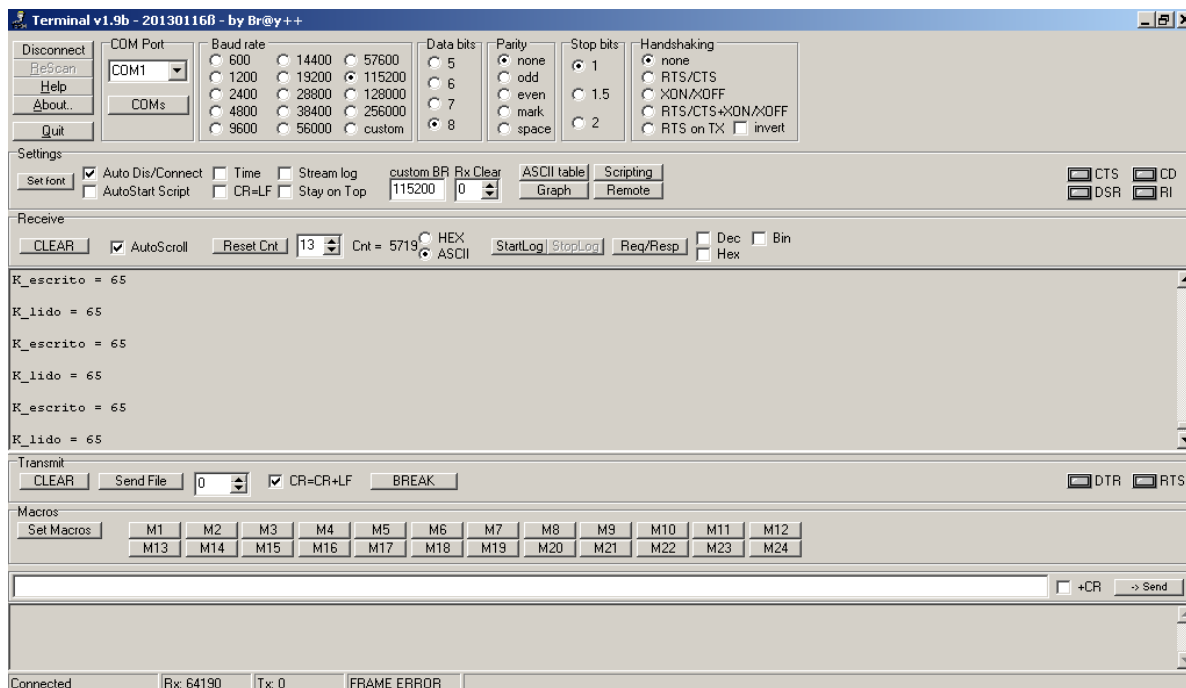


Figura 110 Leitura do valor k escrito e lido na memória, através do terminal da porta COM do computador auxiliar.

É possível visualizar o valor inserido em hexadecimal (0x41) a ser enviado através da porta COM, com o mesmo valor (em decimal 65) para aquilo que foi escrito e posteriormente lido da memória, sugerindo o bom funcionamento das funções realizadas. Assim sendo, resta substituir o valor aleatório atribuído a k pelo valor recolhido através do sistema de ECG desenvolvido.

De forma a facilitar a integração entre a informação registada na memória e a futura transformação para o formato SCP-ECG, o *firmware* será programado para que os valores sejam registados na memória no formato binário conforme são recebidos dos ADCs do ADS1192.

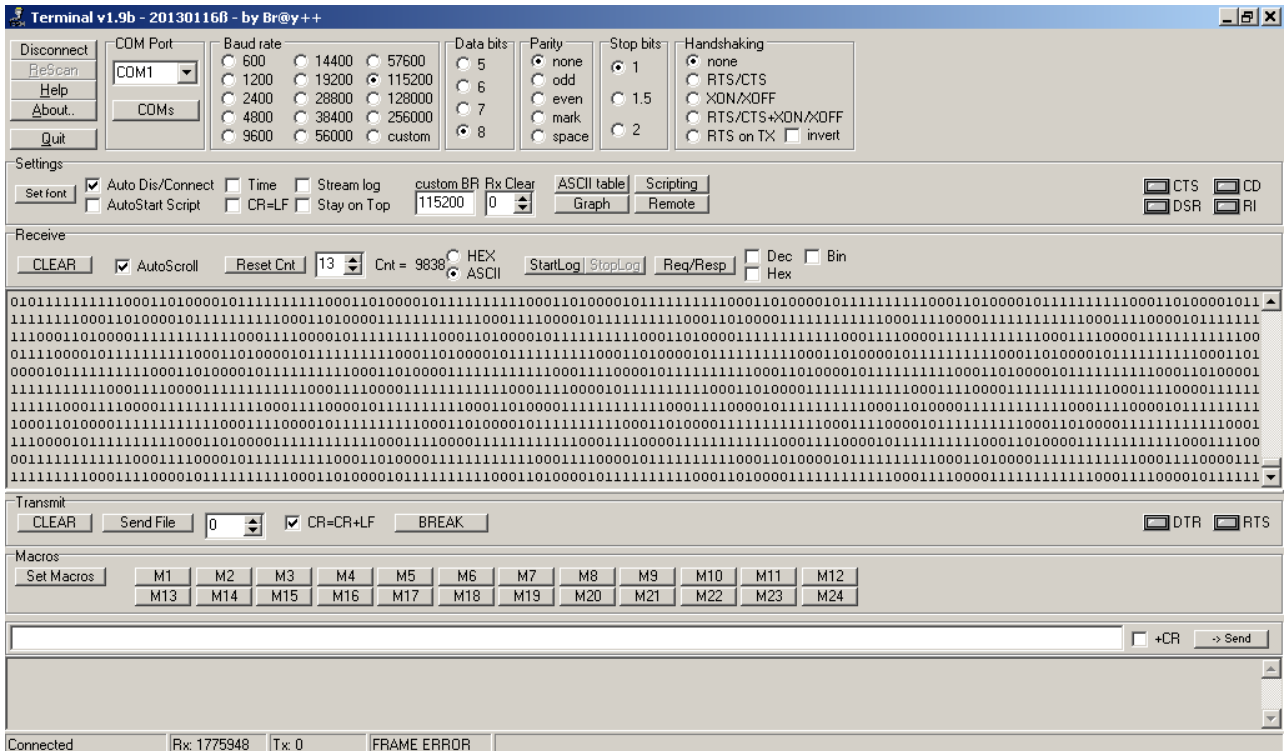


Figura 111 Exemplo da informação guardada na memória AT25DF041A, convertida em ASCII para ser humanamente legível.

Na figura 111 visualiza-se, no terminal do computador auxiliar a informação registada na memória AT25DF041A.

7.6.2. Conversão dos Dados para o Formato SCP-ECG

Nesta fase, a informação armazenada na memória AT25DF041A encontra-se disponível para ser enviada através da USART (*Universal Synchronous Asynchronous Receiver Transmitter*) já referida e utilizada anteriormente para a receção dos dados provenientes do ADS1192 em tempo real, através da porta série.

Assim sendo, vamos obter um ficheiro *.log* para cada um dos canais medidos e que terá de ser posteriormente editado para efetuar a conversão para o formato de armazenamento SCP-ECG. Conseguiu-se isto através do auxílio de um programa desenvolvido em C# e garantindo o cumprimento dos parâmetros visíveis na tabela 12.

O resultado da conversão pode ser visualizado na figura 112, ainda que num formato humanamente ilegível.

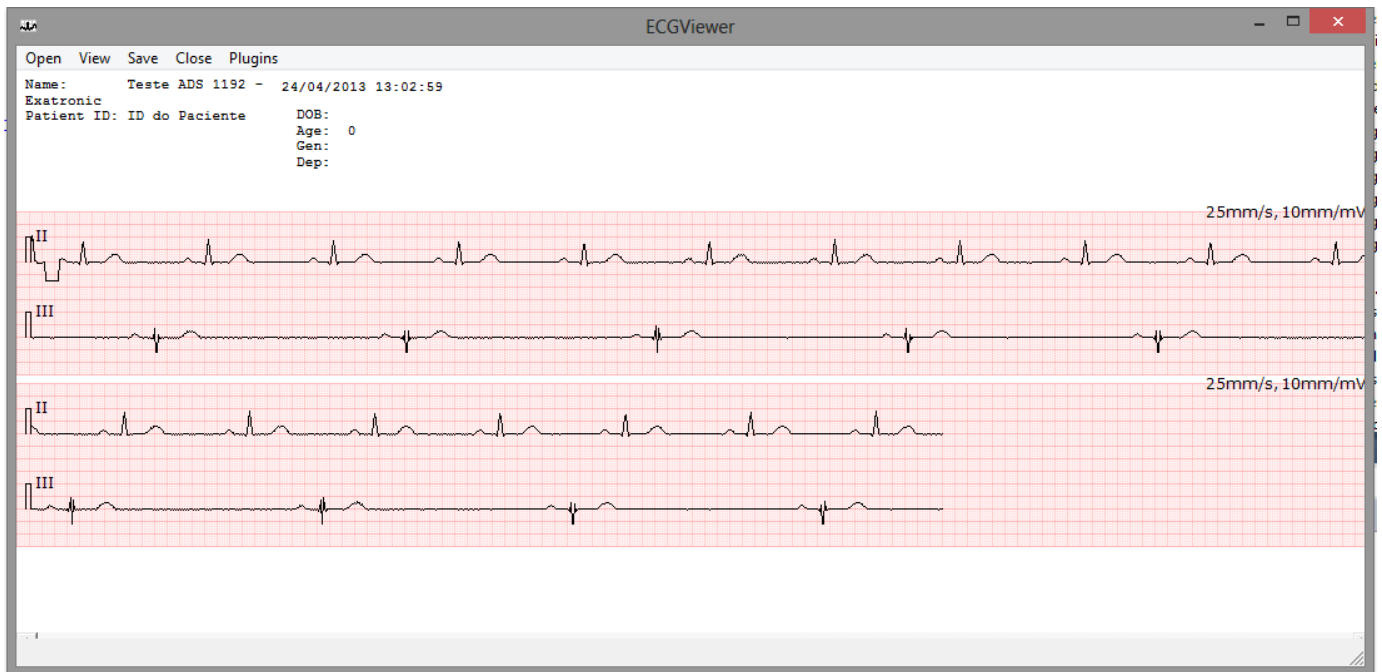


Figura 113 Viewer de ECG com os dados recolhidos através do dispositivo de ECG realizado neste projeto. Aqui visualizam-se os dois canais recolhidos (canal II e III) a uma frequência de 60 bpm e 30 bpm, respetivamente.

Atentando na figura 113, é possível concluir que este processo de conversão para o formato *standard* de armazenamento SCP-ECG foi concluído com sucesso. Como referido em cima, é depois possível introduzir as informações opcionais que fazem parte do formato SCP-ECG, descritas na tabela 12.

*"History is filled with brilliant people
who wanted to fix things and just made them worse."*
Chuck Palahniuk, in *Lullaby* (2003)

1001101

CAPÍTULO VIII

Conclusões e Considerações Futuras

8. Conclusões e Considerações Futuras

Depois de desenvolvido o trabalho e de se encontrar devidamente reportado, é essencial refletir e retirar conclusões acerca do que foi conseguido e do seguimento que este trabalho deverá ter, de forma a garantir a sua sustentabilidade e aproveitamento.

8.1. Conclusão

É notória a evolução tecnológica que se tem vindo a notar nos dispositivos médicos, e que tem permitido métodos de diagnóstico mais eficazes e índices qualitativos de vida melhorados. O crescimento acentuado da esperança média de vida, ao qual já foi feita referência no início do presente documento, aliado a uma preocupante diminuição da taxa de natalidade nos países ocidentais, faz com que a média de idades das populações esteja a aumentar fazendo deste um mercado apetecível, pelo seu tamanho mas essencialmente, por se tratar de um bem de primeira necessidade. Este projeto resultou desta tendência em desenvolver soluções centradas na área de *Healthcare*, bem como do foco que existe no desenvolvimento de tecnologias portáteis no âmbito do *Ambient Assisted Living (AAL)*.

Desenvolver um eletrocardiograma portátil foi um projeto ambicioso. A validade desta afirmação é comprovada pelo número de questões técnicas que um projeto deste cariz obriga que sejam resolvidas, tais como as que foram discutidas e trabalhadas ao longo deste trabalho. Os problemas surgem logo assim que se atenta na natureza do sinal que se pretende capturar e que, pela baixa amplitude (na ordem dos poucos mV) que apresenta, requer uma análise cuidada na configuração de *hardware* que se apresenta como solução. Para além desta problemática é ainda fundamental limitar as dimensões do dispositivo pela característica portátil que se pretende conseguir e, desta forma, conseguir consumos mínimos que permitam uma elevada autonomia.

Desta forma, o projeto envolveu diferentes fases e trabalhos distintos. Iniciou-se com um estudo detalhado sobre as questões anatómicas e fisiológicas inerentes ao eletrocardiograma, passando-se depois para o *status* tecnológico em que os eletrocardiogramas portáteis se encontram, bem como o interesse que um dispositivo com estas funcionalidades pode apresentar, e os estudos, tentativas e projetos concluídos que já existem sobre esta matéria. Sucedeu-se um centrar de atenções no módulo de aquisição do ECG que viria a ser desenvolvido, com a análise dos vários componentes a inserir no módulo e, especialmente, na configuração que estes iriam apresentar.

Uma questão determinante que foi colocada e devidamente analisada foi as vantagens em se optar por uma solução integrada em função de uma solução discreta. Para além das dimensões reduzidas que o sistema integrado selecionado (ADS1192, da *Texas Instruments*) apresenta, este permite evitar a utilização de *opamps* para amplificar o sinal e, essencialmente, de ADCs discretas para converter o sinal analógico recolhido em sinal digital passível de ser analisado em dispositivos

digitais. A opção pela utilização do ADS1192 veio igualmente proporcionar consumos consideravelmente mais reduzidos ($25 \mu A/\text{canal}$), permitindo uma autonomia redobrada e que é essencial neste tipo de dispositivos.

Para além da preponderância da escolha referida no capítulo anterior para alcançar, com sucesso, os objetivos autopropostos no início do projeto, houve ainda outros fatores que tiveram particular influência neste capítulo. Uma vez que o pretendido era fazer um protótipo de um ECG portátil, e antevendo uma maior dificuldade com as questões relacionados com o *firmware* e a programação do ADS1192, decidiu-se desenhar a PCB para ser conectada através de um *flat cable* a uma placa de desenvolvimento (*ATmega 128*) já testada e operacionalmente certificada do que procurar integrar um MCU e todos os componentes inerentes à sua utilização (alimentação, cristais externos, pinos de programação, USART, por exemplo) na placa contendo o módulo de aquisição do sinal de ECG. Com isto, foi possível encurtar a duração da transição entre a elaboração e os testes de *hardware* e o início da programação do *firmware* para a PCB.

É ainda importante fazer referência a um outro aspeto que foi peculiarmente importante na obtenção dos resultados obtidos. A antevisão do ruído proveniente da alimentação energética do ADS1192 através do V_{cc} do ATmega 128 que, por sua vez, era originária da ligação USB ao computador utilizado. Assim, foi pensada e colocada uma alternativa para uma fonte de alimentação externa, caso se comprovasse uma flutuação considerável da alimentação que se pretende estável para o valor de 3,3V. Esse estudo da recolha do sinal com as alimentações provenientes das duas fontes possibilitou analisar a diferença qualitativa do sinal obtido e esclarecer a necessidade de colocar uma fonte de alimentação externa com um regulador fixo ajustado para os 3,3V.

O objetivo de desenvolver um eletrocardiograma portátil foi alcançado e a pormenorização dos resultados é mostrada nos capítulos centrais deste documento. Dada a precocidade da obtenção destes resultados, houve ainda tempo para alocar esforços no desenvolvimento de alguns *updates* para o projeto e que permitissem desenvolver capacidades em áreas até então menos exploradas. Neste âmbito, trabalhou-se no desenvolvimento de um programa em C# que permitisse registar, amostrar e dispor num gráfico os dados recolhidos pelas duas entradas analógicas do ECG. Este *software* teve o objetivo de servir como uma ferramenta de testes, que permitisse iterar de forma mais rápida e assertiva sobre o estado do sinal que estava a ser recolhido, ao invés de se ter de recolher os dados e só depois os amostrar graficamente com recurso a uma ferramenta como o *MatLab*[®]. Após concluída essa tarefa, que proporcionou a aprendizagem de uma linguagem de programação de alto nível, o foco passou para a incorporação de uma memória na PCB já desenvolvida. Pretende-se, desta forma, permitir recolher amostras com o dispositivo em funcionamento durante largos períodos de tempo, sem ter de conectar o dispositivo ao computador para exportar os dados guardados. Uma outra ferramenta a realçar foi a elaboração de um outro programa em C# que permitisse a conversão dos dados recolhidos e guardados para um formato *standard* de ECG, com vista à possibilidade de serem amostrados pela maior parte dos sistemas de ECG disponíveis em clínicas e hospitais.

Em suma, tratou-se de um projeto que se apresentou algo multidisciplinar, uma vez que abrangeu desenvolvimento de *hardware*, *firmware* e ainda de um pouco de

software, e onde foram alcançados resultados interessantes quer do ponto de vista teórico, com a análise às configurações de *hardware* e aos formatos de armazenamento de dados de ECG, por exemplo, quer do ponto de vista prático, obtendo-se como produto final um eletrocardiograma funcional, com as características desejadas e com dimensões e consumos otimizados.

Por fim, mais do que a realização de um projeto que culmina com uma dissertação de mestrado e pretende a obtenção de um grau académico, é importante ressaltar as competências e *know-how* adquiridos ao longo do projeto. Esquematizam-se, resumidamente, na tabela 17 os principais conhecimentos desenvolvidos durante este trabalho.

Tabela 15 Competências desenvolvidas ao longo do projeto desenvolvido.

Skills	Descrição
Altium Designer®	Elaboração de uma PCB onde se incluiu o circuito integrado ADS1192, as entradas diferenciais dos canais de ECG e a comunicação com o MCU.
Linguagem de Programação C	Linguagem de programação utilizada para o desenvolvimento do firmware para o ATmega 128.
Linguagem de Programação C#	Elaboração de uma programa em C# que permite recolher os dados da porta série e amostrá-los graficamente em tempo real; Programa em C# que permite converter os dados de ECG em formato binário para o formato SCP-ECG.
.Net Framework	Desenvolvimento da interface gráfica para o programa desenvolvido em C#.
Desenvolvimento de <i>Hardware</i>	Estudo dos componentes e configurações a integrar no circuito da PCB desenvolvida.
Desenvolvimento de <i>Firmware</i>	Análise dos requisitos e estrutura do sistema e desenvolvimento do firmware que permite programar o ADS1192, recolher os dados recebidos e enviá-los através da porta série do computador auxiliar.
Protocolo de Comunicação RS 232	Comunicação entre o ATmega 128 e a porta série do computador auxiliar, através do protocolo RS 232.
Protocolo de Comunicação SPI	Comunicação entre o ATmega 128, o ADS1192 e a memória AT25DF041A, através do protocolo SPI.
Formatos de Armazenamento de Dados de ECG	Estudo dos formatos de armazenamento de dados de ECG, bem como as suas estruturas, composições e vantagens de utilização.
SCP-ECG	Conversão de dados de ECG recolhidos através do sistema desenvolvido do formato binário para o formato SCP-ECG

8.2. Considerações Futuras

O trabalho que é apresentado ao longo desta dissertação necessita ainda de melhorias e conclusões. Mais do que sugestões que permitam trazer valor acrescentado ao mercado dos eletrocardiogramas portáteis e do AAL, importa primeiro cimentar a base em que o dispositivo irá assentar.

Existem, portanto, melhorias de cariz obrigatório e outros de cariz opcional. Iniciando por aquilo que é fundamental, será necessário desenvolver a parte de processamento de sinal do dispositivo uma vez que até agora foi utilizado um gerador de sinais de ECG, razão pela qual o sinal se apresenta tão claro. Uma vez que o dispositivo recorrerá à utilização de elétrodos que estarão em contacto com a superfície cutânea do utilizador, a fim de recolher os seus impulsos cardíacos, será necessário ter em conta o ruído e a maior dificuldade de captura dos sinais que lhe está inerente. Desta forma, sugere-se o recurso a filtros passa-banda digitais que através da FFT (*Fast Fourier Transform*) e da posterior informação disponível no domínio da frequência permitem aplicar filtros digitais essenciais para remover as interferências indesejáveis, como é o exemplo da *baseline drift*. (77) Depois, para avaliar a qualidade do sinal digital, deve-se proceder a alguns testes iniciais para determinar o ENOB (*Effective Number of Bits*), o SNR (*Signal-to-Noise Ratio*) e ainda o SINAD (*Signal-to-Noise and Distortion Ratio*) uma vez que apesar de se saber a resolução de bits utilizada pelo ADC, existe sempre algum ruído associado ao sinal real. (78)

Ainda dentro das questões consideradas impreteríveis, é necessário que seja feito um estudo mais aprofundado relativamente à alimentação, do que aquele que é feito neste projeto e que proponha a inclusão de uma bateria ou de uma pilha. O objetivo é evitar que a alimentação seja feita através de fontes externas ao dispositivo, como através de USB, como é realizado agora, o que permitiria garantir a sua portabilidade.

Por outro lado, a capacidade da memória utilizada (AT25DF041A) que, como é calculado no capítulo 7.1.3., apenas permite memorizar 250 segundos de funcionamento deste dispositivo, não é uma solução viável para as características que se pretendem. Aqui, sugere-se a utilização de um cartão SD que, com uma capacidade de apenas 2 GBytes permite armazenar todos os dados provenientes dos dois canais, sucessivamente, durante mais do que um dia.

$$\text{Tempo de Gravação} = \frac{2 \text{ GBytes}}{2 \text{ KBytes/s}} \approx 277,78 \text{ horas}$$

Para além da questão levantada anteriormente é primordial analisar se a funcionalidade que se pretende para este dispositivo é apenas de recolha de dados, podendo ser evitada a existência de um ecrã gráfico, e funcionando de forma semelhante a um *Holter ECG* ou se, por sua vez, se pretende que seja possível a visualização do sinal recolhido e, eventualmente, a presença de um algoritmo de deteção de anomalias cardíacas que possa comunicar/reportar essas falhas e comunicá-las às entidades pretendidas. Na eventualidade de se pretender um dispositivo mais completo é, conseqüentemente, imperativo que seja dada atenção à interface gráfica e aos algoritmos de análise de sinal a implementar.

É ainda possível analisar a viabilidade de se implementar uma transmissão sem fios dos dados recolhidos acrescentando-se, por exemplo, um módulo de Bluetooth que

permita substituir a comunicação RS-232 existente atualmente, que recorre à utilização de cablagem. Existem alguns trabalhos documentados que procederam a esta implementação e que podem auxiliar este processo. (10) Por outro lado, e desta feita com o intuito de aumentar a usabilidade do produto, poderão ser analisadas soluções que permitem concentrar a totalidade dos elétrodos num único adesivo ou componente central. A sugestão, cuja viabilidade técnica e fisiológica tem de ser devidamente analisada, pretenderia simplificar a componente prática do utilizador, substituindo o exemplo da 114 por um dispositivo *wearable* semelhante àquele que é mostrado no dispositivo da figura 115.

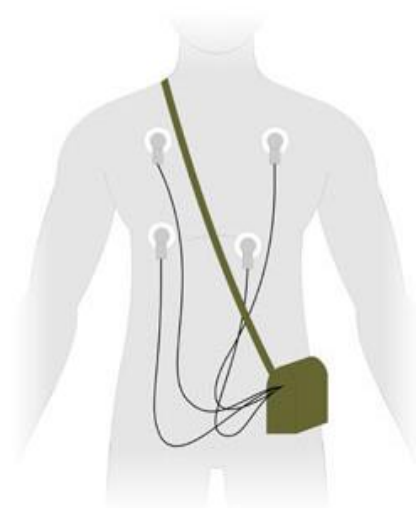


Figura 114 Disposição de um ECG Portátil corrente. Repare-se no incómodo e baixa funcionalidade associada à colocação de diversos elétrodos e à existência dos respetivos fios. (79)



Figura 115 Elétrodos *wearable* textéis, tecnologia da empresa *Nuubo*, Madrid, Espanha. O seu funcionamento está acoplado ao dispositivo da figura 116, dispositivo sem fios que regista a informação captada pelos elétrodos e possibilita a sua transmissão remota, em tempo real. (80)



Figura 116 Dipositivo desenvolvido igualmente pela empresa *Nuubo* e que funciona paralelamente com os elétrodos wereable da figura 115. Permite armazenar os dados através de um cartão SD e/ou o seu envio remoto em tempo real. (80)

Na ótica do utilizador prevê-se que seja consensual afirmar que a solução descrita nas figuras 115 e 116 apresenta vantagens inerentes à sua utilização e que trazem maior valor acrescentado para o utilizador, isto é, maior conforto e facilidade de utilização. Nesse sentido, sugere-se que se procure convergir para uma solução que consiga apresentar vantagens de usabilidade e transmissão de dados semelhantes ao aqui descrito para a solução apresentada pela *Nuubo*.

*"Progress always involves risk.
You can't steal second base and keep your foot on first."*
F. W. Dupee (1904-1979)

1001101

Bibliografia

Bibliografia

1. **Simon, Cecilia Capuzzi.** *Education Life: Where the Jobs Are.* New York : The New York Times, 2011.
2. **Wojciechowski, Manfred e Xiong, Jinhua.** *On Context Modeling in Ambient Assisted Living.* Beijing, China : Fraunhofer Institute for Software and Systems Engineering, 2008.
3. **Takacs, Barnabas, Hanak, David e Szijarto, Gabor.** A Mobile Approach to Ambient Assisted Living. *Virtual Human Interface Group.* 2007.
4. **Ministério da Saúde de Portugal.** Portal da Saúde. *Doenças Cardiovasculares.* [Online] Outubro de 2009. <http://www.min-saude.pt/portal/conteudos/enciclopedia+da+saude/doencas/doencas+do+aparelho+circulatorio/doencascardiovasculares.htm>.
5. **Leon, David A.** Trends in European Life Expectancy: a salutary view. [ed.] Oxford University Press. *International Journal of Epidemiology.* 2011.
6. **Instituto Nacional de Estatísticas.** *Estimativas Provisórias de População Residente.* Lisboa : s.n., 2009.
7. **European Society of Cardiology.** *European Cardiovascular Disease Statistics.* Brussels : European Heart Network, 2012.
8. **National Heart Lung and Blood Institute.** *Cardiovascular Diseases.* Bethesda, Maryland : U.S. Department of Health & Human Services, 2011.
9. **Stein, Phyllis K. e Huikuri, Heikki V.** Clinical Application of Heart Rate Variability after Acute Myocardial Infarction. *Frontiers in Physiology.* 2012.
10. **Hornos, Tamas.** *Wireless ECG/EEG with the MSP430 Microcontroller.* Glasgow, Scotland : University of Glasgow, 2009.
11. **Nagel, Joachim H.** Biopotential Amplifiers. *The Biomedical Engineering Handbook.* s.l. : University of Stuttgart, 2000.
12. **Texas Heart Institute.** Heart Anatomy. *Heart Information Center.* [Online] Abril de 2011. <http://www.texasheartinstitute.org/HIC/Anatomy/anatomy2.cfm>.
13. **Katz, Arnold M.** Structure, Biochemistry and Biophysics. *Physiology of the Heart.* 4ª Edição. USA : Lippincott Williams & Wilkins, 2006.
14. **Reisner, Andrew T., Clifford, Gari D. e Mark, Roger G.** *The Physiological Basis of the Electrocardiogram.* Massachusetts, Cambridge, USA : Massachusetts Institute of Technology, 2006.
15. **Chaves, Paulo Castro e Moreira, Adelino Leite.** *Electrocardiografia.* Porto, Portugal : Faculdade de Medicina da Universidade do Porto, 2002.

16. **Palaniappan, Ramaswamy.** *Biological Signal Analysis*. Denmark : Ventus Publishing, 2010.
17. **Mark, R. G.** *Quantitative Physiology: Organ Transport Systems. Lecture Notes from HST/MIT*. 2004.
18. **McFee, Richard.** Comparison of Heart Vectors Calculated with Different Systems of Leads. *Journal of the American Heart Association*. 1950.
19. *A Microcontroller-Based Precision ECG Signal Generator.* **Burke, M. J. e Nasor, M.** Dublin, Ireland : Dept. of Electronic and Electrical Engineering, Trinity College, 2011.
20. **Soundarapandian, Karthik e Berarducci, Mark.** *Analog Front-End Design for ECG Systems Using Delta-Sigma ADCs*. s.l. : Texas Instruments, 2010.
21. **Bharadwaj, Ajay e Kamath, Umanath.** *Accurate Signal Processing*. San Jose, California : Cypress Semiconductor Corporation, 2011.
22. **Neuman, Michael R.** Biopotential Electrodes. *The Biomedical Engineering Handbook*. Florida, USA : CRC Press LLC, 2000.
23. **Maan, Arie C, et al.** Assessment of Signal Quality and Electrode Placement in ECGs using a Reconstruction Matrix. *Computing in Cardiology*. 38:289–292, 2011.
24. **University of Maryland - Medical Center.** ECG Electrode Placement. [Online] July de 2006. <http://www.umm.edu/imagepages/19865.htm>.
25. **Miller, Aubert e Chatterjee, Shakti.** *Instrumentation in Diagnostic Cardiology*. New York, USA : Delmar, Cengage Learning, 2010. ISBN 13:978-1-4180-1866-5.
26. **Wang, Sheng.** *Integrated AFE Subsystem for Diagnostic-Quality ECG Applications*. s.l. : Analog Devices, 2011.
27. **Kumar, Prasanna e Krishna, K.** Design of a Low Cost ECG System: Review. *Canadian Journal on Biomedical Engineering & Technology*. 2, 2012, Vol. III.
28. **Kiryoga, ha, et al.** Experimental Evaluations of Wearable ECG Monitor. *30th Annual International IEEE EMBS Conference*. 2008, pp. 791-794.
29. **Lambourn, Jessica.** *Portable ECG Logger*. Australia : University of Queensland, 2003.
30. **International Electrotechnical Committee.** *IEC 60601-1 - Medical electrical equipment*. 2005.
31. **Leitão, Cátia.** *Desenvolvimento de Dispositivo de Electroterapia para Medicina Física e Reabilitação*. Coimbra : Universidade de Coimbra, 2010.
32. **Mohan, Rachit.** *Fully Integrated Analog Front End for a 2 electrode ECG device*. Delft, Netherlands : Delft University of Technology, 2011.

33. **Sensor Technology Applied in Reconfigurable Systems.** *Theme 2 - Analog Front Ends.* [Online] Sensor Technology Applied in Reconfigurable Systems, 2010. <http://starsproject.nl/activities/theme2/>.
34. **Armas, Winston De.** *Design of a Non-intrusive 2-lead ECG System Using the Active Insulated Electrode.* Hamilton, Canada : McMaster University, 2010.
35. **Miller, Austin, Ravindran, Sourabh e Joshi, Abhishek.** *EKG-Based Heart-Rate Monitor Implementation on the LaunchPad Value Line Development Kit using the MSP430G2452 MCU.* s.l. : Texas Instruments, 2011.
36. **Texas Instruments.** TLV271 - Operational Amplifiers. [Online] February de 2004. <http://www.ti.com/lit/ds/symlink/tlv272.pdf>.
37. **Texas Instruments.** —. TLV2760 - Operational Amplifiers with Shutdown. [Online] January de 2005. <http://www.ti.com/lit/ds/symlink/tlv2762.pdf>.
38. **Prashanth, Shetty e Somashekara, Bhat.** Ultra Low Power ECG Signal Pre-Amplification Techniques. *International Journal of Computer Science and Management Research.* 2 de September de 2012, Vol. 1.
39. **Sedra, Adel S. e Smith, Kenneth C.** *Microelectronic Circuits.* s.l. : Pearson Prentice Hall, 2007. ISBN 978-85-7605-022-3.
40. **Chrapala, Michael.** *Design of Hardware for an Electrocardiogram Analyzer.* Hamilton, Ontario, Canada : McMaster University, 2010.
41. **Texas Instruments.** INA333 - Micro-Power, Zero-Drift, Rail-to-Rail Out Instrumentation Amplifier. [Online] October de 2008. <http://www.ti.com/lit/ds/symlink/ina333.pdf>.
42. **Burr-Brown Products from Texas Instruments.** INA332 - Low-Power, Single-Supply, CMOS Instrumentation Amplifiers. [Online] October de 2006. <http://www.ti.com/lit/ds/symlink/ina332.pdf>.
43. **Analog Devices.** AD8237 - Micropower, Zero Drift, True Rail-to-Rail Instrumentation Amplifier. [Online] 2012. http://www.analog.com/static/imported-files/data_sheets/AD8237.pdf.
44. **National Semiconductor.** Fundamentals of Active Filters. [Online] 2010. http://www.national.com/AU/design/courses/124/124_fundamentals_of_active_filters.pdf.
45. **Norris, Michael e Prutchi, David.** *Design and Development of Medical Electronic Instrumentation: A practical Perspective of the Design, Construction and Test of Medical Devices.* 1st. s.l. : Wiley, 2004. p. 65. ISBN-10 0471676233.
46. **Webster, J.G.** *Medical Instrumentation: Application and Design.* 3rd. New York : Wiley and Sons, 1998.
47. **Texas Instruments.** ADS1291 - Low-Power, 2-Channel, 24 Bit Analog Front-End for Biopotential Measurements. [Online] September de 2012. <http://www.ti.com/lit/ds/symlink/ads1292.pdf>.

-
48. **Texas Instruments.** —. *ADS 1192 - Low-Power, 2-Channel, 16-bit Analog Front-End for Biopotential Measurements.* Texas, USA : s.n., 2012.
49. **Analog Devices.** AD8232 - Single-Lead, Heart Rate Monitor Front End. [Online] 2012. http://www.analog.com/static/imported-files/data_sheets/AD8232.pdf.
50. **Najafizadeh, Laleh.** *Voltage References using Mutual Compensation of Mobility and Threshold Voltage Temperature Effects.* Edmonton, Canada : Universtity of Alberta, 2004.
51. **Texas Instruments.** *ADS1292R Demonstration Kit - User's Guide.* Dallas, Texas, USA : Texas Instruments Incorporated, 2012.
52. **Thakor, N. V.** 'Electrocardiographic Monitors' in *Encyclopedia of Medical Devices and Instrumentation.* New York : Webster J. G. Ed., 1998. pp. 1002-1017.
53. **Crone, Bill.** *Mitigation Strategies for ECG Design Challenges.* s.l. : Analog Devices, 2011.
54. **Thakor, Nitish V.** *Biopotentials and Electrophysiology Measurement.* s.l. : John Hopkins School of Medicine, 1999.
55. **Nagle, J. H.** 'Biopotential Amplifiers', in the *Biomedical Engineering Handbook.* Boca Raton, Florida, USA : CRC Press, 1995.
56. **Webster, John G.** *Medical Instrumentation - Application and Design.* 4th. River Street, Hoboken, New York : John Wiley & Sons, Inc., 2010. pp. 267-269. ISBN-13 978-0471-67600-3.
57. **Winter, B. B. e Webster, J.G.** Driven-right-leg circuit design. *IEEE Transactions on Biomedical Engineering.* 1983.
58. **Xiaodan, Zou.** *Low Power, Low Noise, Analog Front End IC Design for Biomedical Sensor Interface.* s.l. : National University of Singapore, 2010.
59. **Atmel Corporation.** *ATmega 128 - 8-bit Microcontroller with 128KBytes In-System Programmable Flash.* San Jose, California, USA : s.n., 2011.
60. **TechTerms.** Firmware. *TechTerms.* [Online] [Citação: 24 de February de 2013.] <http://www.techterms.com/definition/firmware>.
61. **Motorola, Inc.** *Serial Peripheral Interface.* Illinois, USA : s.n., 1996.
62. **TotalPhase, Inc.** SPI Background. *TotalPhase.* [Online] 2012. [Citação: 25 de February de 2013.] <http://www.totalphase.com/support/kb/10045/>.
63. **Fluke Biomedical.** *ESA 620, Datasheet.* Washington, USA : s.n., September 2008.
64. **Medical Expo.** The Virtual Medical Exhibition. *Labtech - Cardiac Holter Monitor (2 Channels).* [Online] 2013. <http://www.medicalexpo.com/prod/labtech-ltd/cardiac-holter-monitors-2-channels-69079-452360.html>.

65. **Bond, Raymond R., et al.** A review of ECG storage formats. *International Journal of Medical Informatics*. 2011.
66. **European Commission.** Semantic Interoperability for Better Health and Safer Healthcare. *Semantic Health*. [Online] 2009. http://ec.europa.eu/information_society/activities/health/.
67. **Adesto Technologies.** *AT25DF041A Memory*. California, USA : s.n., 2012.
68. **Braemar, Inc.** *DL900 Series Holter Monitor*. Eagan, USA : s.n., 2012.
69. **DICOM Standards Committee, Working Group 1 - Cardiac and Vascular Information.** *Digital Imaging and Communications in Medicine (DICOM) Supplement 30*. 2009.
70. **Brown, B.D. e Badilini, F.** *HL7 aECG Implementation Guide*. 2009.
71. **OpenECG.** *Health Informatics Standard Communication Protocol - Computer Assisted Electrocardiography*. 2005.
72. **Chronaki, C.E., et al.** *Interoperability in Digita Electrocardiography after the openECG project*. International Conference of Computers in Cardiology. 2004. pp. 49-52.
73. **Drummond, James R.** *Parity, Checksums and CRC Checks*. Toronto, Canada : University of Toronto, 1997.
74. **Kokkinaki, A., Chouvarda, I. e Maglaveras, N.** *Integrating SCP-ECG files and patient records: an ontology based approach*. Thessaoniki, Greece : The Medical School, Aristotle University, 2006.
75. **Chronaki, C.E., et al.** *A web service for conformance testing of ECG records to the ECG-ECG standard*. s.l. : International Conference of Computers in Cardiology, 2005.
76. **EcgSoft.** EcgSoft. *ECG Software Development*. [Online] 2012. <http://www.ecg-soft.com/>.
77. **Starr, Tim.** *Filtering a Noisy ECG Signal Using Digital Techniques*. 2005.
78. **Analog Devices.** *Understand SINAD, ENOB, SNR, THD, THD + N, and SFDR*. s.l. : Analog Devices, 2009.
79. **Merck.** Home Health Handbook. *Tests for Heart and Blood Vessel Disorders*. [Online] April de 2006. http://www.merckmanuals.com/home/heart_and_blood_vessel_disorders/diagnosis_of_heart_and_blood_vessel_disorders/tests_for_heart_and_blood_vessel_disorder_s.html.
80. **Nuubo.** nECG shirt L1. *Product Information*. [Online] 2011. http://www.nuubo.com/sites/default/themes/nuubo2/pdf/DATASHEETS_EN_shirt.pdf.

"Failure is the condiment that gives success its flavor."
Truman Capote (1924-1984)

1001101

Anexos Confidenciais